

GigaDevice Semiconductor Inc.

GD32W51x

Arm[®] Cortex[®]-M33 32-bit MCU

硬件开发指南

1.0 版本

(2021 年 11 月)

目录

目录.....	1
图索引.....	2
表索引.....	3
1. 电路图与版图(SCH&Layout)设计.....	4
2. 电路图 (SCH) 设计.....	5
2.1. 电源电路设计.....	5
2.2. 复位与模式选择电路设计.....	7
2.3. RF 电路设计.....	7
2.4. XTAL 电路设计.....	8
3. 版图(Layout)设计.....	9
3.1. PCB 叠构设计.....	10
3.2. 电源电路设计.....	10
3.3. RF 电路设计.....	11
3.4. XTAL 电路设计.....	12
3.5. GND 完整性&EPAD 设计.....	12
3.6. 屏蔽罩设计.....	13
3.7. 走线&铺铜设计.....	14
4. 版本历史.....	15

图索引

图 2-1. GD32W51x 模组电路图.....	5
图 2-2. 模组电源入口处电路.....	6
图 2-3. 芯片 RF 电源管脚电路.....	6
图 2-4. 芯片其他电源管脚电路.....	6
图 2-5. 复位与模式选择电路.....	7
图 2-6. RF 电路.....	8
图 2-7. 晶体电路.....	8
图 2-8. 推荐晶体指标.....	8
图 3-1. GD32W51x 模组版图.....	9
图 3-2. 电源电路版图设计.....	10
图 3-3. RF 电路版图设计.....	11
图 3-4. PCB 天线版图设计.....	11
图 3-5. 晶体电路版图设计.....	12
图 3-6. VCC & Bottom 层 GND 完整性设计.....	12
图 3-7. 芯片 EPAD 版图设计.....	13
图 3-8. 屏蔽罩版图设计.....	13
图 3-9. 差分走线版图设计.....	14

表索引

表 2-1. BOOT 模式.....	7
表 3-1. 参考 PCB 层定义.....	10
表 4-1. 版本历史.....	15

1. 电路图与版图(SCH&Layout)设计

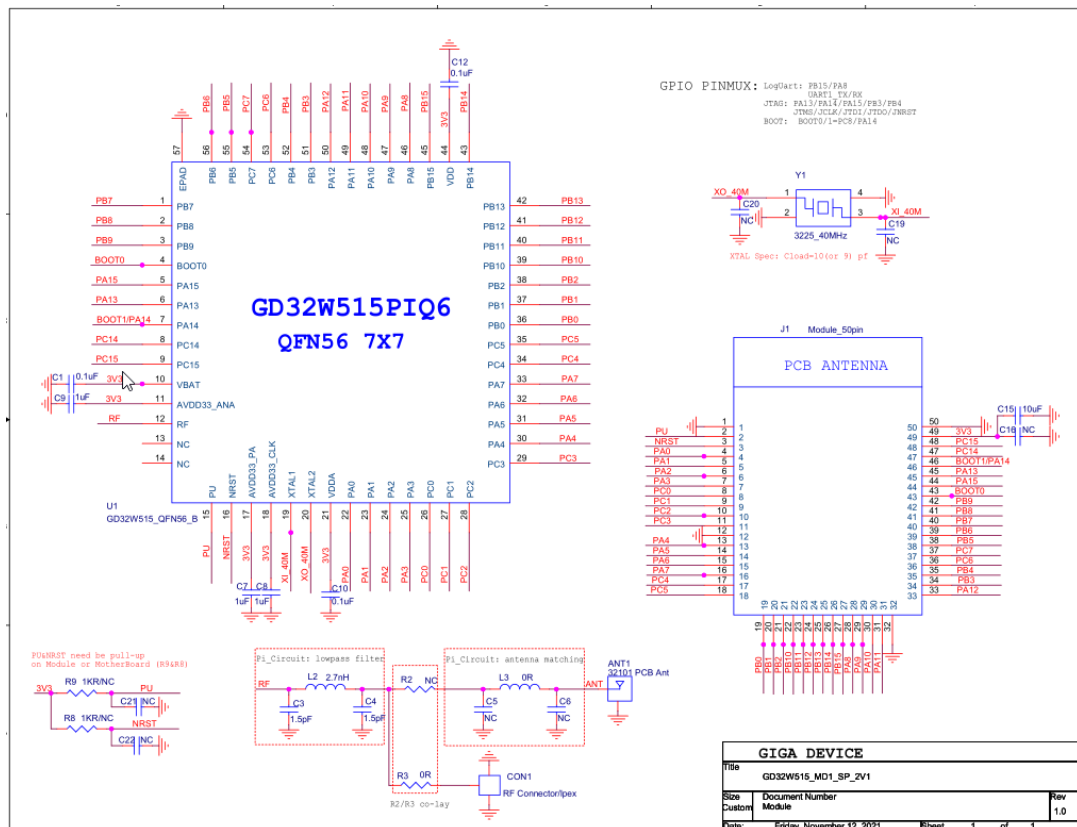
GD32W51x 是一颗高度集成的 WiFi MCU 芯片，射频(RF)部分实现了全内部集成，其外围电路设计简单且易实现。GD32W51x 参考设计模组的器件主要由电阻电容电感、主芯片与无源晶体(XTAL)三部分组成，上述器件总计不超过 20 个。下面将对 GD32W51x 模组的电路图(SCH)与版图(Layout)设计进行介绍，以确保模组的正常工作性能。

2. 电路图 (SCH) 设计

GD32W51x 模组参考设计的 SCH 如 [图 2-1. GD32W51x 模组电路图](#) 所示。SCH 设计中需要注意的部分有：

- 电源电路设计
- 复位与模式选择电路设计
- RF 电路设计
- XTAL 电路设计

图 2-1. GD32W51x 模组电路图



2.1. 电源电路设计

GD32W51x 模组电源管脚可分为 MCU RF 部分电源管脚与 MCU 其他部分(MCU 的数字、模拟等)电源管脚两类，前者包括 AVDD33_ANA(Pin11)、AVDD33_PA(Pin17)、AVDD33_CLK(Pin18)，后者包括 VBAT(Pin10)、VDDA (Pin21)、VDD (Pin44)，以上电源管脚标准工作电压均为 3.3V。

模组电源入口处建议摆放一大一小两颗电容(如 [图 2-2. 模组电源入口处电路](#))，默认可只上大电容(如 10uF)。同时，在每个电源管脚上均单独摆放滤波电容，其中对于 AVDD33_ANA、AVDD33_PA、AVDD33_CLK 等 RF 电源管脚，建议使用 1uF 滤波电容([图 2-3. 芯片 RF 电源管脚电路](#))；对于 VBAT、VDDA、VDD 等其他电源管脚，可选择 0.1uF 滤波电容(如 [图 2-4. 芯片其他电源管脚电路](#))。

图 2-2. 模组电源入口处电路

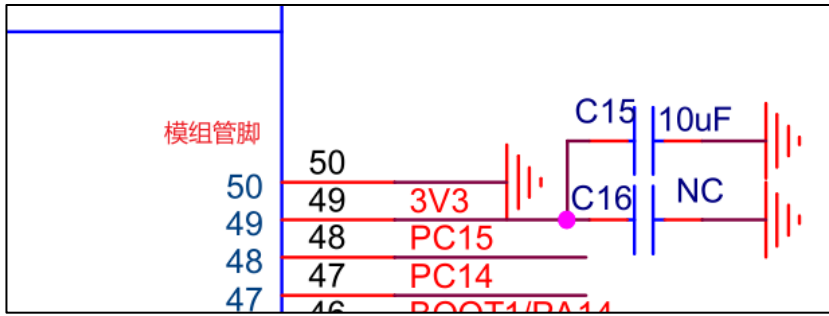


图 2-3. 芯片 RF 电源管脚电路

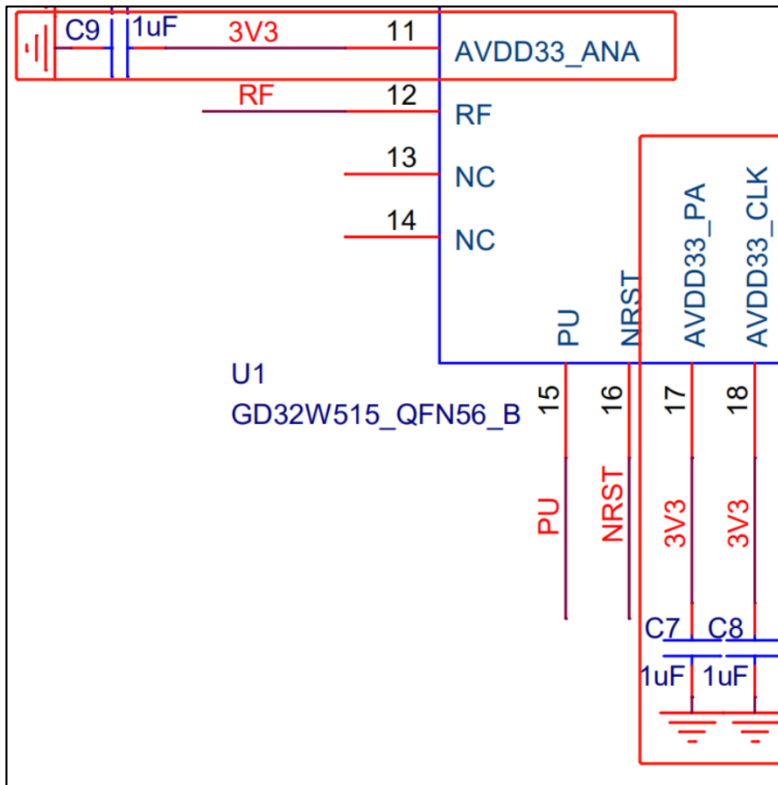
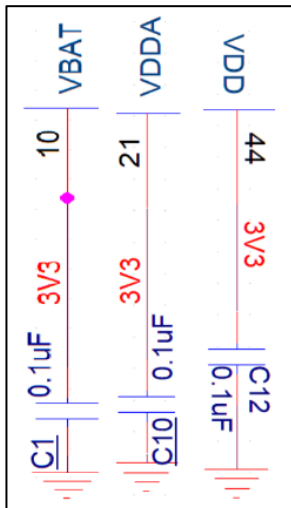


图 2-4. 芯片其他电源管脚电路



2.2. 复位与模式选择电路设计

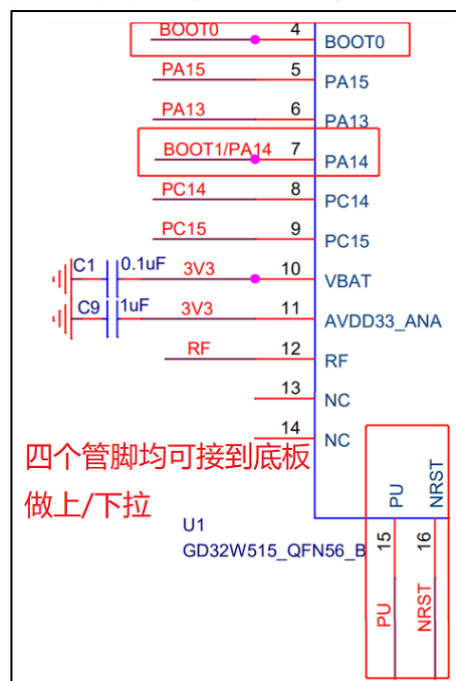
GD32W51x 的管脚 PU(Pin15)和 NRST(Pin16)分别为芯片电源使能与复位管脚，两者都拉高时，芯片才能工作。设计时可在靠近管脚的位置摆放滤波电容与上拉电阻，如有使用底板，上拉电阻和滤波电容亦可做在底板上。实际使用中，只需选择其中一个作为使能管脚，同时另一个仍需要接上拉电阻和滤波电容。若 GD32W51x 作为主控 MCU，推荐使用 NRST 作为使能管脚，同时 PU 常拉高；若 GD32W51x 作为从属设备，则推荐使用 PU 作为使能管脚，同时 NRST 常拉高。

GD32W51x 的 boot 模式选择管脚为 BOOT0(Pin4)和 BOOT1(Pin7)，几种模式定义如 [表 2-1. BOOT 模式](#) 所示。通常建议其上/下拉电阻放在底板上；如为单模组使用，则需在模组端预留上/下拉电阻。参考设计如 [图 2-5. 复位与模式选择电路](#)，上下拉电阻放在底板上。

表 2-1. BOOT 模式

BOOT1	BOOT0	启动模式
X	0	Flash
0	1	Legacy Bootloader
1	1	SRAM

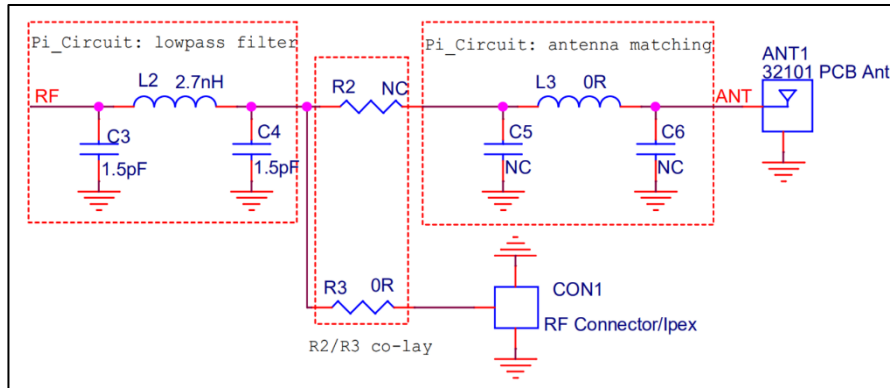
图 2-5. 复位与模式选择电路



2.3. RF 电路设计

GD32W51x RF 电路参考设计如 [图 2-6. RF 电路](#)。芯片 RF 管脚为 Pin12，路径上有一组 Π 型 (CLC 组合) 匹配电路，主要用于滤除 RF 发射信号的高次谐波(以满足认证要求)、兼顾阻抗匹配调试；匹配电路中的电容/电感均要求为 RF 规格的物料，精度要求为 $\pm 0.1\text{pF}(\text{nH})$ ，默认匹配电路元件组合为 $1.5\text{pF}+2.7\text{nH}+1.5\text{pF}$ ，最终使用值需根据不同 PCB 的实际调试结果为准。未加匹配器件时，默认串联元件建议使用 0R 电阻，并联元件为 NC。天线可使用 PCB 天线或者外接天线，建议预留 RF 测试座以方便传导测试和外接天线测试；同时需预留天线匹配用的 Π 型网络。

图 2-6. RF 电路



2.4. XTAL 电路设计

GD32W51x 模组支持 40M、26M 等频率的贴片无源晶体，默认使用 40MHz，同时封装可选择 3225、2520 等。GD32W51x 晶体电路参考图 2-7. 晶体电路，两颗负载电容默认不上件(NC)，通过调整芯片内部电容来修正频偏。考虑负载电容 NC，晶体的负载电容指标要求为 10(或 9)pF 规格(图 2-8. 推荐晶体指标中的“Load Capacitance”指标)，其他指标要求参考红框内容。

图 2-7. 晶体电路

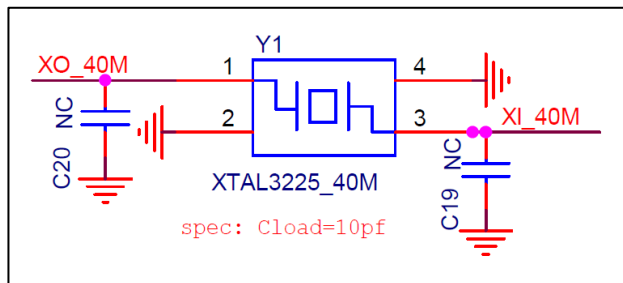


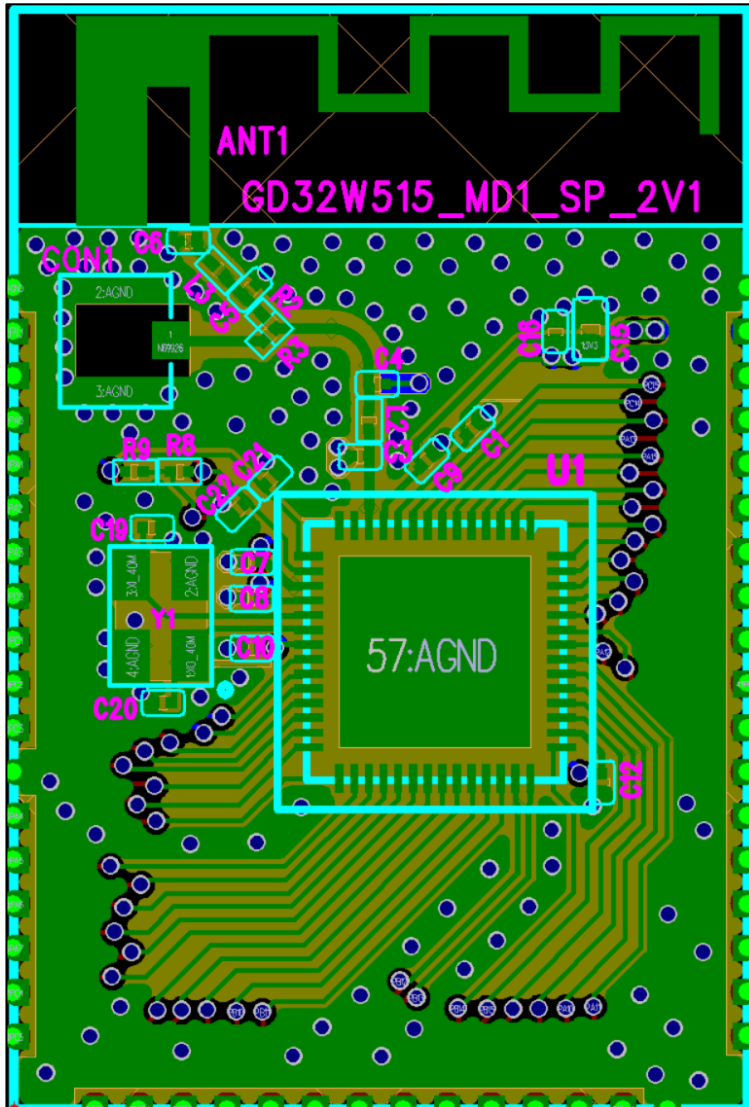
图 2-8. 推荐晶体指标

	Parameters	SYM.	Electrical Spec.				Notes
			MIN	TYPE	MAX	UNITS	
1	Nominal Frequency	FL	40.000000			MHz	-
2	Oscillation Mode	-	Fundamental			-	-
3	Load Capacitance	CL	10			pF	-
4	Frequency Tolerance	-	±10			ppm	at 25 °C ± 3 °C
5	Frequency Stability	-	±10			ppm	Over Operating Temp. Range (Reference 25°C)
6	Operating Temperature	-	-30	~	85	°C	-
7	Aging	-	±3			ppm	1st Year
8	Drive Level	DL	-	100	500	µW	-
9	Effective Resistance Rr	Rr	-	-	30	Ω	-
10	Shunt Capacitance C0	C0	-	-	3	pF	-
11	DLD2	-	-	-	10	Ohms	-
12	FDDL	-	-	-	10	ppm	-
13	SPDB	-	-	-	-3	dB	-
14	Insulation Resistance	-	500	-	-	MΩ	at DC 100V
15	Storage Temperature Range	-	-40	~	85	°C	-

3. 版图(Layout)设计

GD32W51x 模组参考设计的 Layout 如[图3-1. GD32W51x 模组版图](#)所示。

图 3-1. GD32W51x 模组版图



GD32W51x 模组的 Layout 设计中需要注意的部分有：

- PCB 叠构设计
- 电源电路设计
- RF 电路设计
- XTAL 电路设计
- GND 完整性&EPAD 设计
- 屏蔽罩设计
- 走线&铺铜设计

3.1. PCB 叠构设计

GD32W51x 模组 PCB 叠构需采用四层板设计，层定义参考[表 3-1. 参考 PCB 层定义](#)所示：

表 3-1. 参考 PCB 层定义

板层数	四层板
参考层定义	Layer1: SMD & Signal & VCC Layer2: GND Layer3: VCC Layer4: GND(Signal/VCC)

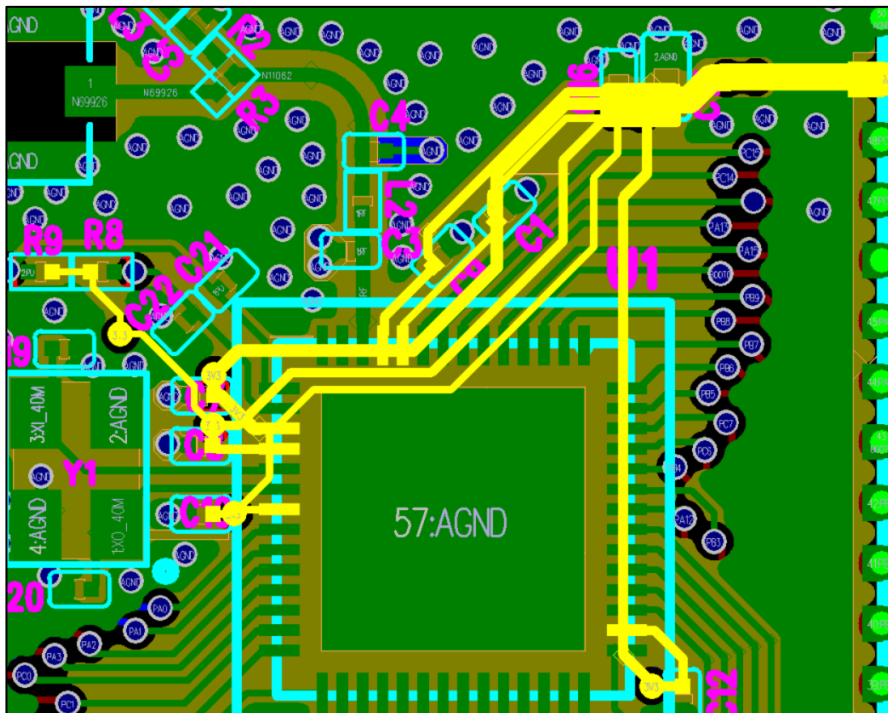
设计时，需尽量保证 Layer2 为完整 GND，并尽量减少 Bottom Layer 的电源和敏感信号走线 (Bottom Layer EMI 考量)。

3.2. 电源电路设计

3.3V 电源走线建议采用“星状”供电方式，如[图 3-2. 电源电路版图设计](#)黄色高亮部分所示。每根电源管脚(Pin)的走线单独从 3.3V 源头拉到芯片 Pin，3.3V 源头摆放大电容，源头处亦可使用 Copper Plane。3.3V 电源进模组端的走线线宽建议为 20-30mil，对于各分支走线，PA 电源 Pin (Pin17)走线线宽要求至少 10mil，其他电源 Pin 走线线宽 6-8mil 即可。

3.3V 电源走线尽可能在 VCC 层(Layer3)布线。TOP 层电源线需布在屏蔽罩内，并远离板边。电源走线与高速信号线尽量不要平行，邻层信号交叉处需走垂直。每根电源 Pin 的走线需先过滤波电容再连接到 Pin，此电容尽量靠近 Pin 摆放，电容 GND PAD 单独打孔(1-2 个 VIA)下地，且各电容不能共用 GND VIA。敏感 Pin(如 AVD33_ANA/ AVDD33_PA/ AVDD33_CLK)的滤波电容的 GND PAD 需在 TOP 层禁空区内单独打孔到 Layer 2/3/4 的 GND 铺铜，不与 TOP GND 铺铜相连。

图 3-2. 电源电路版图设计



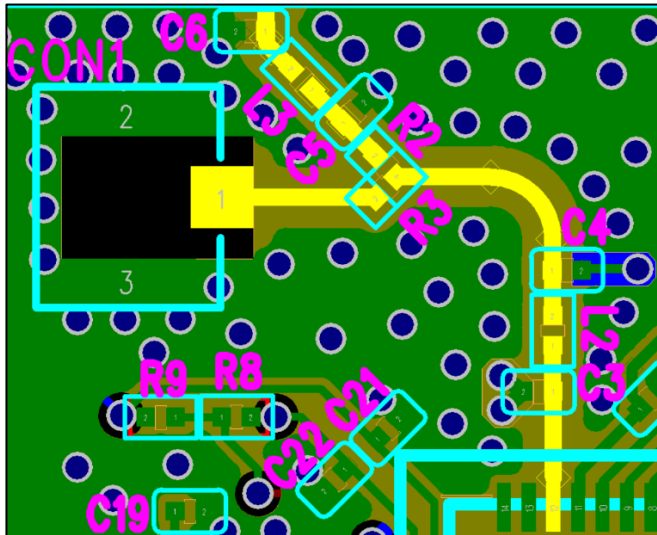
3.3. RF 电路设计

RF 走线阻抗需保持为 50ohm。设计时需结合板材介电常数、PCB 叠层结构等信息计算 RF 走线的线宽、线距，以保证 RF 走线的阻抗一致性，避免阻抗突变或偏移。考虑到制版时由工艺精度等因素带来的误差，建议 RF 走线线宽至少 10mil。

如 [图 3-3. RF 电路版图设计](#) 所示，RF 走线要尽可能短，保证下方临层为完整的 GND(无任传输线走线)，同时避免穿层、少弯折，需弯折处则布大于 90 度转角并拉圆弧；走线还要远离 Power 线与高速信号线，避免较强的 RF 信号耦合到其中，对其他器件造成干扰；走线两侧摆放两排 GND VIA 屏蔽，间距尽量小；对于某些需要分叉的位置，可采用 0R 电阻 co-lay 方式(图中 R2 和 R3)；

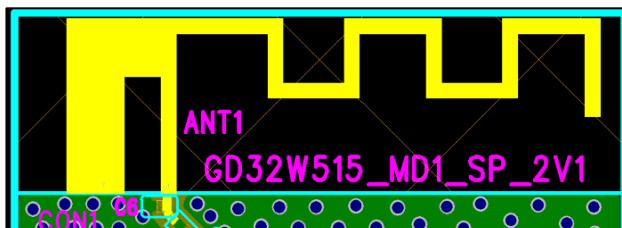
三阶 Π 型网络尽量靠近 RF Pin，需按照“Z”字形摆放。RF Pin 近端电容 C3 的 GND PAD 需在 TOP 层禁空区内引出两个贴着 PAD 的过孔到 GND，添加 TOP 禁空区使其不与 TOP GND 铺铜相连；远端电容 C4 的 GND PAD 需在 TOP 层禁空区内引出一段短截线、再经过孔到 GND，且 GND 层(Layer2)需布相同的禁空区(即短截线参考 VCC 层的地，过孔只与 Layer 3/4 的 GND 铺铜相连)，短截线加上过孔由 TOP 到 VCC 层的总长度应控制在 55mil 左右。此处的短截线+较长的接地过孔可等效为一个较强的电感，两并联的较短接地过孔可等效为一个较弱的电感，此时匹配电路结构可等价于 $(C+L)+L+(C+L)$ 。上述手段目的是构造匹配电路结构的不对称性，可在使用较小接地电容的前提下使 2、3 次谐波更易滤除、阻抗匹配更易调谐，进而降低匹配电路通带内插损。

图 3-3. RF 电路版图设计



如 [图 3-4. PCB 天线版图设计](#) 所示，PCB 天线要求靠近板边摆放，远离其他传输线与器件(特别是传输高频信号的传输线或器件)，且与外部电路由 1-2 排 GND VIA 隔离(间距尽量小)。天线区域要求 PCB 各层均禁空(即不铺铜)，天线元件建议在 Solder mask Top 层不要开窗(利用绿油保护天线铜皮)。

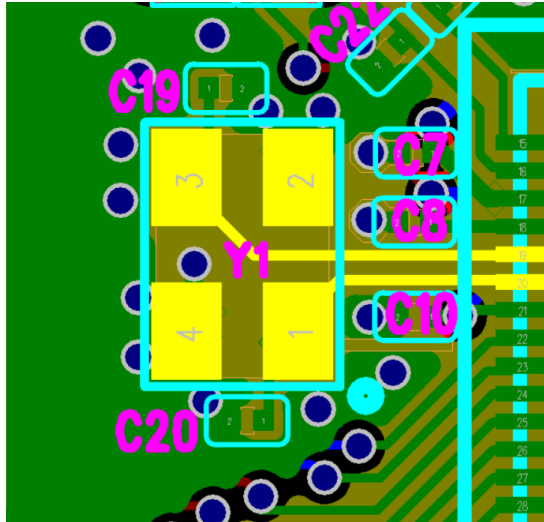
图 3-4. PCB 天线版图设计



3.4. XTAL 电路设计

如 [图 3-5. 晶体电路版图设计](#)，晶体要尽量靠近芯片 Pin(XI&XO)，远离诸如功率电感的磁感应器件与诸如天线的辐射器件，与同层其他信号走线利用 GND 铺铜及 VIA 隔离。晶体输入输出线(XI&XO)宽度 6mil 即可，走线要尽可能短且少弯折，不可跨层或交叉走线。两边负载电容与晶体各自的 GND PAD 可以相连，并摆放多个 GND VIA 以提高散热保障。晶体下方尽量不走任何传输线，保留完整的 GND 铺铜。

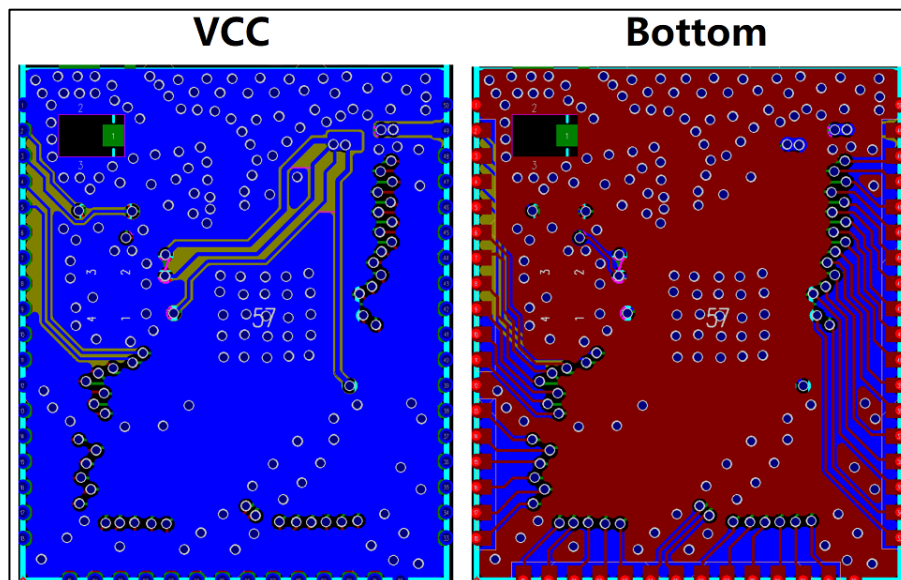
图 3-5. 晶体电路版图设计



3.5. GND 完整性&EPAD 设计

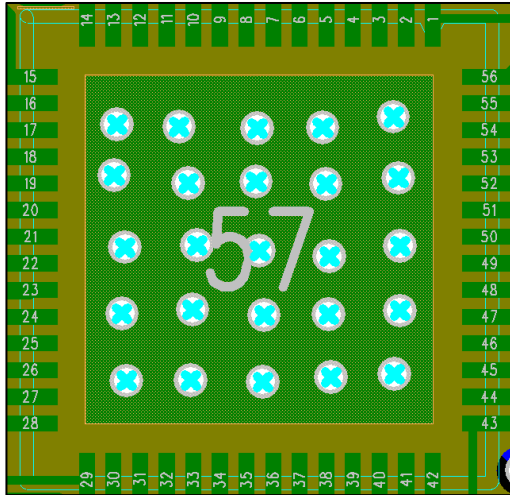
Layer2(GND 层)要求为完整的 GND Plane，以保证 TOP 层的 RF 与 XTAL 等部分不受影响。同时需注意 VCC 与 Bottom 层 GND 铺铜的完整性，避免“孤岛”，如 [图 3-6. VCC & Bottom 层 GND 完整性设计](#)所示。

图 3-6. VCC & Bottom 层 GND 完整性设计



对于芯片 EPAD，建议其在 TOP 层不与外部铺铜相连。多打 GND VIA，利于散热，如[图 3-7. 芯片 EPAD 版图设计](#)。

图 3-7. 芯片 EPAD 版图设计

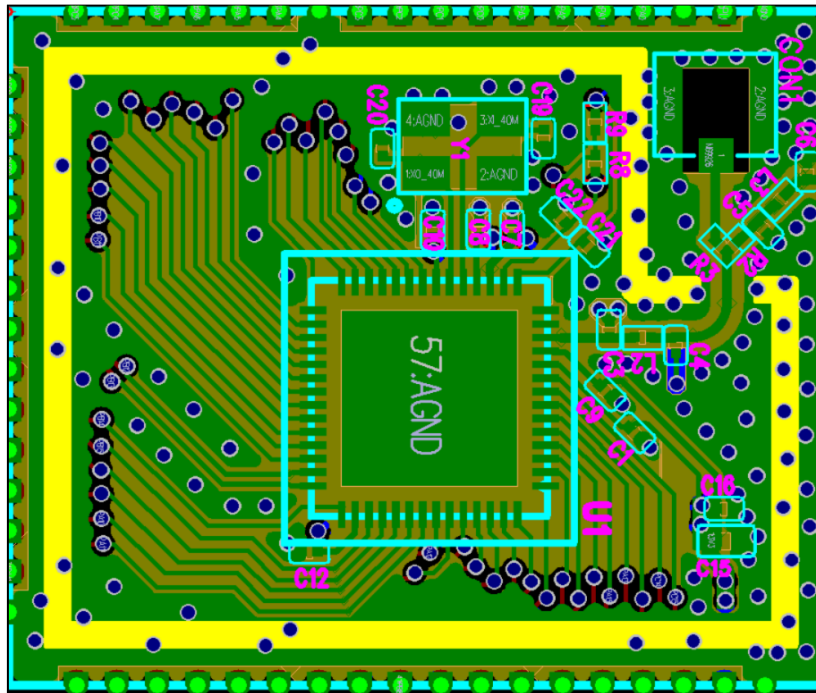


3.6. 屏蔽罩设计

模组 TOP 层所有的元件、走线尽可能都限制在屏蔽罩框内，对于 TOP 层需要穿出屏蔽罩的走线(如 RF 走线)，屏蔽罩对应处需留“逃线孔”，其他走线走 Bottom/VCC 层。

屏蔽罩边框宽度至少需要 24mil，边框焊盘处多放置 GND VIA；屏蔽罩与板边焊盘&走线间隔至少 15&10mil；屏蔽罩高度由元件高度决定，设计天线时还需考虑屏蔽罩高度的影响。屏蔽罩焊盘参考设计如[图 3-8. 屏蔽罩版图设计](#)黄色高亮部分所示。

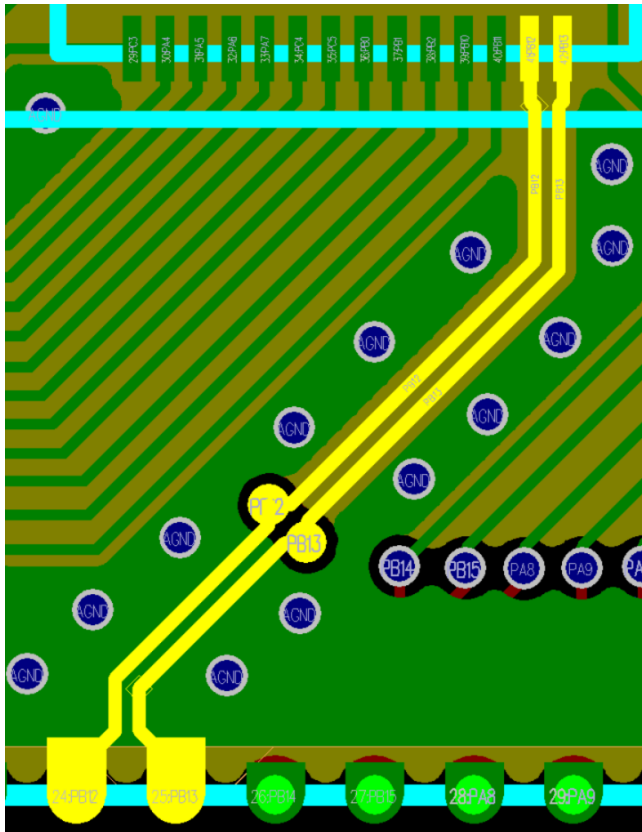
图 3-8. 屏蔽罩版图设计



3.7. 走线&铺铜设计

除前文已说明的电源走线及 RF 走线线宽要求外，建议对于模组中的 GPIO 线线宽选择 5-6mil, GND 线线宽至少 8-10mil。USB 差分线需按照阻抗仿真结果选择线宽与线距，两根走线需等长及等间距，走线及元件需对称，且走线要尽量短，下方邻层尽量保留完整 GND，TOP 层与其他走线用 GND VIA 隔离，如图 3-9 所示。

图 3-9. 差分走线版图设计



模组 PCB 的铺铜区域要接近于板框的尺寸，铺铜前可先在空白处按不规则方式多打 GND VIA，并在板边打一排 GND VIA；各元件 GND PAD 旁贴近摆放 VIA；为避免产生孤岛，对于受空间限制无法摆放 GND VIA 的区域，则不铺铜进去。

4. 版本历史

表 4-1. 版本历史

版本号	说明	日期
1.0	初稿发布	2021 年 11 月 23 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.