

GigaDevice Semiconductor Inc.

基于 GD32MCU 的 EMC 应用指南

应用笔记

AN062

2.0 版本

（2025 年 6 月）

目 录

目 录	2
图索引	4
表索引	5
1. 前言	6
2. EMC 定义	7
2.1. EMC	7
2.2. EMS	7
2.3. EMI	7
2.4. EMS&EMI 测试标准	7
3. EMS 原理	9
3.1. EMS 电磁耐受度	9
3.2. 系统级 ESD 测试	9
3.2.1. 系统级 ESD 测试环境	11
3.2.2. 系统级 ESD 测试目标等级	11
3.2.3. 系统级 ESD 放电波形	12
3.3. 电快速瞬变脉冲群 EFT 测试	13
3.3.1. EFT 测试环境	14
3.3.2. EFT 测试等级	14
3.3.3. EFT 干扰波形	15
4. 绝对电气参数	17
4.1. 芯片级 ESD 人体放电模型 HBM	17
4.2. 芯片级 ESD 充电器件模型 CDM	18
4.3. 静态闩锁 LU	18
5. EMI 原理	20
5.1. 测试硬件以及相关标准	20
5.2. EMI 辐射 TEM 小室法	22
5.2.1. 测试设置	22
5.2.2. EMI 等级分类	22
5.3. EMI 辐射带状线法	23
5.3.1. 测试设置	23
5.3.2. EMI 等级分类	24
5.4. EMI 传导发射	24

5.4.1.	测试设置	24
5.4.2.	EMI 等级分类	25
6.	GD32 MCU EMC 硬件策略	26
6.1.	布局与架构	26
6.1.1.	PCB 布局	26
6.1.2.	PCB 层叠架构	26
6.2.	电源/地设计	27
6.2.1.	电源设计	27
6.2.2.	电源拓扑	28
6.2.3.	GND 完整性和铺铜	29
6.3.	去耦电容设计	30
6.4.	MCU 外围敏感电路设计	31
6.4.1.	晶体 OSC 电路	31
6.4.2.	复位电路 NRST	32
6.4.3.	CAN 典型电路设计	33
6.5.	硬件防护电路设计	33
6.6.	Layout 布局	33
6.7.	其它 EMC 应用方案	35
6.7.1.	IO 配置	35
6.7.2.	展频 SSC	35
7.	版本历史	36

图索引

图 3-1. EMS 参数在 datasheet 中的表现方式	9
图 3-2. 外部引脚与内部引脚	10
图 3-3. IEC61000-4-2 操作台布局以及接地要求	11
图 3-4. 系统级 ESD 发生器的理想放电模型	12
图 3-5. 系统级 ESD 接触放电电流波形参数	12
图 3-6. 理想的 4kV 接触放电的电流波形	13
图 3-7. IEC 61000-4-2 操作台以及布局环境	14
图 3-8. EFT 发生器的理想放电模型	15
图 3-9. EFT 发生器去耦网络模型	15
图 3-10. EFT 脉冲群波形参数	16
图 4-1. 绝对电气参数在 datasheet 中的表现方式	17
图 4-2. 芯片级 ESD HBM 发生器的理想放电模型	18
图 4-3. 芯片级 ESD CDM 发生器的理想放电模型	18
图 5-1. IEC61967-1 标准 PCB 设计参考	21
图 5-2. EMI 测试 TEM 法实验布置图	22
图 5-3. EMI 辐射特性等级曲线	22
图 5-4. IEC61967-2 辐射等级	23
图 5-5. EMI 测试带状线法实验布置图	23
图 5-6. EMI 辐射特性等级曲线	24
图 5-7. EMI 传导发射实验布置图	24
图 5-8. EMI 传导发射特性等级曲线	25
图 6-1. 推荐 PCB 布局	26
图 6-2. PCB 两层板与四层板之间的回流面积	27
图 6-3. 推荐电源防护设计	27
图 6-4. 推荐 LDO 设计	28
图 6-5. 推荐 VDD&VDDA 设计	28
图 6-6. 推荐 MCU 星型供电网络	28
图 6-7. 推荐桥接方式	29
图 6-8. 跨分割地平面布线方式	30
图 6-9. 推荐去耦电容组合	31
图 6-10. 推荐晶体 Layout 设计	31
图 6-11. 推荐 SWD 烧录口设计	32
图 6-12. 推荐复位电路设计	32
图 6-13. 推荐 CAN 总线电路设计	33
图 6-14. 推荐机壳保护地的布局设计	33
图 6-15. 推荐防护器件 layout 设计	34

表索引

表 2-1. 国际电工委员会的标准表格	7
表 2-2. IEC62132-1 MCU 的失效模式等级.....	8
表 3-1. 系统级 ESD 等级	12
表 3-2. EFT 测试等级	14
表 5-1. IC 引脚推荐负载	20
表 6-1. 推荐 4 层 PCB 板叠层.....	26
表 7-1. 版本历史	36

1. 前言

随着半导体工艺制程的缩小以及性能的提升，MCU 面临更加复杂的电磁环境。即对于噪声的抗扰度以及对外的电磁辐射也会更加复杂。本文专为 GD32 MCU 产品介绍了 EMC 的原理和特性，并根据各种应用中获得的经验为基础，提供相应的建议。

2. EMC 定义

2.1. EMC

EMC (electromagnetic compatibility) 电磁兼容，是系统能完全正常工作的能力（性能不降级）。在正常环境中，电磁兼容要求设备或系统既不受周围电磁场的干扰而失常，又不会产生电磁干扰影响其他设备。

2.2. EMS

EMS (electromagnetic susceptibility) 电磁耐受性，是设备或系统对噪声干扰的抗干扰能力。EMS 等级高则设备抗扰度好；相反 EMS 等级低的设备对电磁环境极其敏感，其工作状态受周围电磁环境影响。（所以很多地方将 **electromagnetic susceptibility** 翻译为电磁敏感度，但是考虑到“**susceptibility**”与“**sensitivity**”不同，我们将采用电磁耐受性）。

EMS 主要包含快速瞬变脉冲群 EFT / FTB 和系统级静电放电 ESD，测量用于确定器件在不理想电磁环境中工作时的可靠性水平。

2.3. EMI

EMI (electromagnetic interference) 电磁干扰，是以设备为干扰源向周围环境发射电磁波的等级。发射的电磁波分为传导发射和辐射发射，传导发射沿着电缆或者互连线传播，辐射发射通过自由空间传播。

2.4. EMS&EMI 测试标准

表 2-1. 国际电工委员会的标准表格

标准	描述
IEC61000-4-2	静电放电抗扰度ESD测试
ISO10605	道路车辆 - 静电放电所产生电气干扰的测试方法
IEC61000-4-4	电快速脉冲群瞬态抗扰度EFT测试
IEC61967-2	集成电路辐射发射测试-TEM小室法
IEC61967-4	集成电路传导发射测试-1Ω/150Ω直接耦合法
IEC61967-8	集成电路辐射发射测试-带状线法

依照 IEC62132-1 对于 MCU 的系统级 ESD 和 EFT 可以分为 5 种的失效模式等级。其中等级 A 是没有问题，BCD 是其中软失效类型，E 硬失效。

表 2-2. IEC62132-1 MCU 的失效模式等级

等级	描述
A	不受影响：在脉冲的注入和注入后，ESD干扰并未对芯片造成任何影响
B	自动恢复：在脉冲注入过程中，芯片运行变得不正常，但是脉冲注入结束后，芯片有回到原来的正常状态
C	手动恢复：在脉冲注入过程中，芯片运行变得不正常，在脉冲注入结束之后，芯片也无法自动回到原来的正常状态，但是在人工干预后（reset），芯片回到原来的正常状态。
D	重新上电：在脉冲的注入和注入后，芯片都无法正常运行（reset 没有用），只有对芯片进行重新上电后，才能回到正常状态，一般是由于 latch-up 现象的发生。
E	硬失效：ESD的脉冲注入，已经造成了芯片物理性的损坏。

3. EMS 原理

3.1. EMS 电磁耐受度

EMS 主要包含系统级静电放电 ESD 和电快速瞬变脉冲群 EFT/FTB。GD32MCU 的 Datasheet 中 EMC 特性包括系统级 EMS 电磁耐受性以及绝对电气敏感性测试结果。

图 3-1. EMS 参数在 datasheet 中的表现方式

System level ESD (Electrostatic discharge, according to IEC 61000-4-2) and EFT (Electrical Fast Transient/burst, according to IEC 61000-4-4) testing result is given in the [Table 4-12. System level ESD and EFT characteristics^{\(1\)}](#). System level ESD is for end-customer operation, it includes ESD field events on system level occur in an unprotected area (outside EPA). System level ESD protection necessary to satisfy higher ESD levels.

Table 4-12. System level ESD and EFT characteristics⁽¹⁾

Symbol	Description	Conditions	Package	Class	Level
V _{ESD}	Contact / Air mode high voltage stressed on few special I/O pins	V _{DD} = 3.3 V, T _J = 25 °C, f _{HCLK} = 600 MHz IEC 61000-4-2	BGA176	CD 8kV AD 15kV	4A
			LQFP176	CD 8kV AD 15kV	4A
V _{EFT}	Fast transient high voltage burst stressed on Power and GND	V _{DD} = 3.3 V, T _J = 25 °C, f _{HCLK} = 600 MHz IEC 61000-4-4	BGA176	4kV	4A
			LQFP176	4kV	4A

(1) Value guaranteed by characterization, not 100% tested in production.

系统级 EMS 测试都是在最小系统中上电测试应用中运行 GD32MCU 的系统鲁棒性，程序逻辑是通过两个 LED 进行流水灯切换表征正常运行。通过对正在运行的 MCU 施加系统级 ESD 或 EFT，在干扰测试期间实时监测系统判断是否会有软失效（系统性扰动）以及硬失效。

绝对电气敏感性包括芯片级 ESD（HBM/CDM）以及 LU。芯片级 ESD（HBM/CDM）以及 LU 是在不上电的器件进行测试，在干扰测试后通过 FT 测试检查 MCU 引脚功能以及完整性。

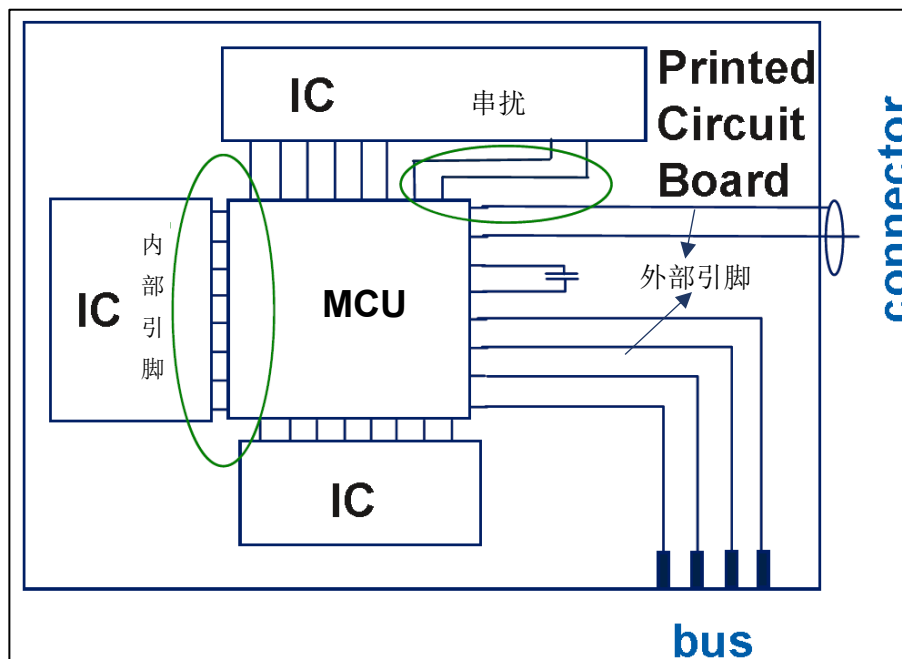
3.2. 系统级 ESD 测试

GD32 全系列 MCU 均会进行此项测试，通过对测试引脚分别施加每个等级 10 次正/负电压，测试等级由低到高依次测试直至发生异常现象。如此可以对芯片进行内部故障调查，并未针对保护 MCU 敏感引脚免受 ESD 影响提供进一步的应用防护电路。

两个测试引脚满足覆盖 5VT 以及非 5VT 引脚，位置在两个电源引脚（VDD 和 GND）分布中间，另外测试引脚会尽量选取外部引脚。MCU 作为控制核心，不可避免的需要与外

部端口相连，外部连接器或总线处引入 ESD 的风险较大。我们定义 MCU 与系统外直接相连引脚为外部引脚，另外 layout 走线与外部引脚走线相邻的引脚走线也会受到干扰的风险。MCU 其他没有引出系统且也没有被外部引脚串扰风险的引脚称为内部引脚，一般内部引脚受到系统级 ESD 的风险较小，所以在防护系统级 ESD 上，外部引脚防护是关键。示意图见 [图 3-2. 外部引脚与内部引脚](#)。

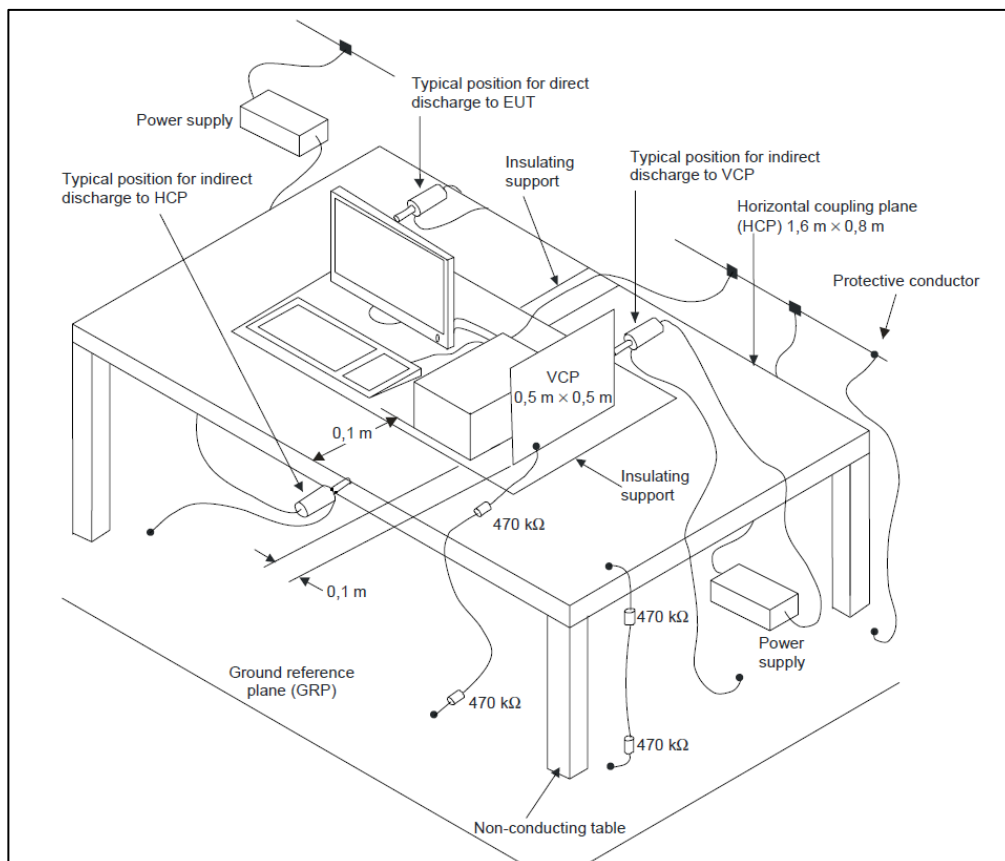
图 3-2. 外部引脚与内部引脚



3.2.1. 系统级 ESD 测试环境

用于执行系统级 ESD 检验的设备是一台符合 IEC 61000-4-2 标准的 ESD 发生器放电直接施加在 MCU 的测试引脚上。接触模式以及空气模式都测试，测试等级由低到高，每个等级施加正负电压静电 $>10\text{pcs}$ ，直到出现系统的运行出现异常。ESD 操作台布置以及接地要求如**图 3-3. IEC61000-4-2 操作台布局以及接地要求**所示。

图 3-3. IEC61000-4-2 操作台布局以及接地要求



3.2.2. 系统级 ESD 测试目标等级

系统级 ESD 测试模式可以分为接触模式(CD)和空气模式(AD)，接触模式是 ESD 枪尖头接触到 EUT 的金属部分，进行静电释放；而空气模式则使用 ESD 圆头对 EUT 的缝隙、屏幕以及按键等非金属进行释放静电。CD 和 AD 都属于直接接触测试，除此之外还有间接接触测试，即静电枪对水平耦合板和垂直耦合板释放静电，耦合板间接对 EUT 进行辐射 ESD。

表 3-1. 系统级 ESD 等级

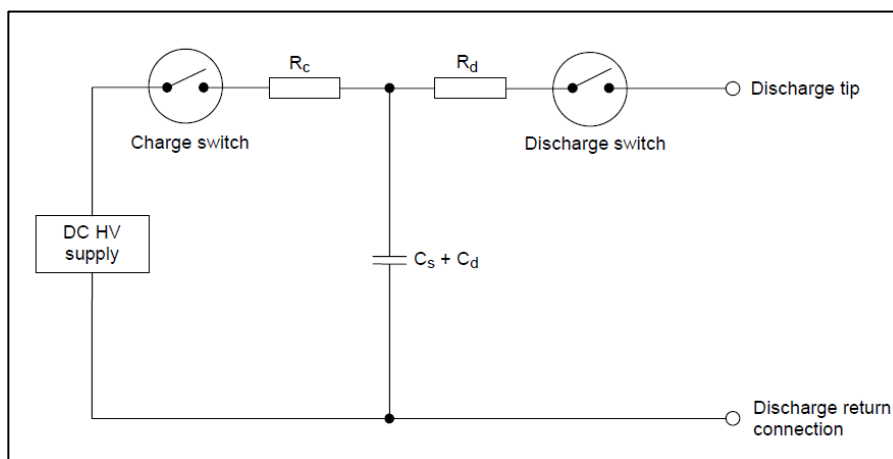
接触放电模式		空气放电模式	
等级	测试电压(kV)	等级	测试电压(kV)
1	2	1	2
2	4	2	4
3	6	3	8
4	8	4	15
Special ⁽¹⁾	客户定制	Special	客户定制

(1). Special是可任意等级电压，更高、更低或者介于两者之间。Special等级根据特殊的待测设备的具体应用环境所需要。

3.2.3. 系统级 ESD 放电波形

系统级 ESD 发生器的理想放电模型如[图3-4. 系统级ESD 发生器的理想放电模型](#)所示：

图 3-4. 系统级 ESD 发生器的理想放电模型



$C_s + C_d$ 的典型值是 150pF， R_d 的典型值是 330 欧姆。根据 ISO10605，针对车载系统的 $C_s + C_d$ 典型值是 150pF/330pF， R_d 的典型值是 330 欧姆/2000 欧姆。

接触放电的电流波形参数如[图3-5. 系统级ESD 接触放电电流波形参数](#)所示：

图 3-5. 系统级 ESD 接触放电电流波形参数

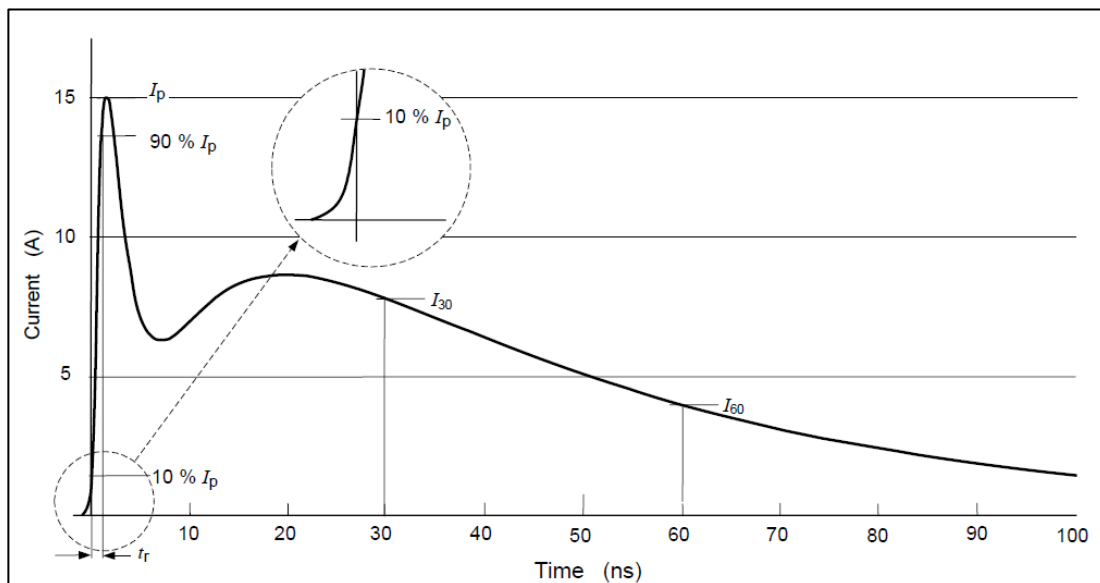
Level	Indicated voltage kV	First peak current of discharge $\pm 15\%$ A	Rise time t_r ($\pm 25\%$) ns	Current ($\pm 30\%$) at 30 ns A	Current ($\pm 30\%$) at 60 ns A
1	2	7,5	0,8	4	2
2	4	15	0,8	8	4
3	6	22,5	0,8	12	6
4	8	30	0,8	16	8

The reference point for measuring the time for the current at 30 ns and 60 ns is the instant when the current first reaches 10 % of the 1st peak of the discharge current.

NOTE The rise time, t_r , is the time interval between 10 % and 90 % value of 1st peak current.

理想的 4kV 接触放电的电流波形如 [图 3-6. 理想的 4kV 接触放电的电流波形](#) 所示：

图 3-6. 理想的 4kV 接触放电的电流波形



3.3. 电快速瞬变脉冲群 EFT 测试

当电感负载（如继电器/电机/编码器）处于断电状态时，会在电源分配系统上生成短时间高频瞬态脉冲。当供电其接入或者拔出时，也会产生瞬间突变脉冲。导致电源线瞬变的常见原因是电火花，只要接入交流电源线，或关掉设备，或者打开或关闭电路断路器，将会发生电火花。电源系统的瞬变噪声会通过电源线耦合到终端设备。

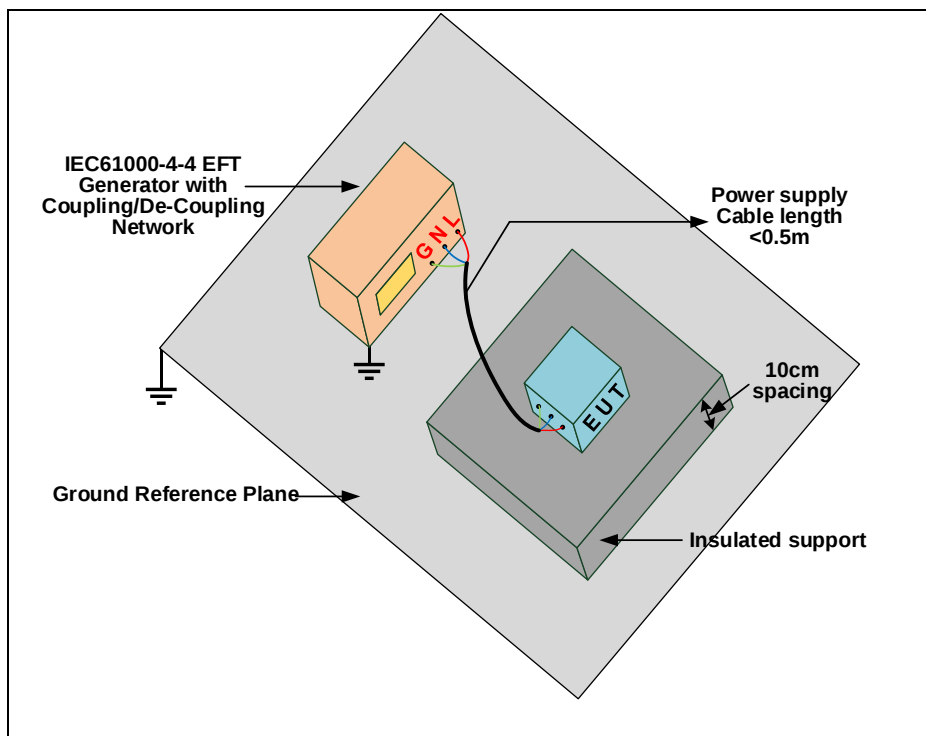
IEC 61000-4-4 规范了测试电压波形，这种波形用于模仿通过在交流电源线路上切换电感负载所造成的瞬变，此规范还定义了抗扰度对重复电快速瞬变的要求，以及系统所需的测试方法。

制造商会使用 IEC 61000-4-4 标准所定义的 EFT 波形，以便测试经过快瞬变后设备的性能。该测试主要涉及到 EFT 脉冲被注入到设备的电源线路内，信号线路、控制线路以及接地连接内，以便模仿这些线路上瞬变噪声的耦合。脉冲波形具有高幅度（0.5~4 kV）、上升时间短、高重复率和低能量等特性。

存在多个国际标准，它们指定了特定类型的设备的瞬变抗扰度性能的要求。例如，欧洲联盟的 EN 55024 介绍了信息技术设备的测试要求和性能标准。IEC 61547 则说明了照明设备的测试要求和性能标准。全部这些标准的要求和测试方法都来自于 IEC 61000-4-4。

3.3.1. EFT 测试环境

图 3-7. IEC 61000-4-2 操作台以及布局环境



GD32MCU 的 EFT 测试采用与 ESD 相同的测试板，将 DC 电流源接入 EFT 发生器耦合前端，电源线经过耦合网络后施加在 MCU 上。5kHz 以及 100kHz 重复频率/正负极电压/同步注入以及异步注入的 L1/N/L1+N 耦合方式都需进行测试，按照从低到高每个等级测试，每个等级至少测试 60s。

3.3.2. EFT 测试等级

表 3-2. EFT 测试等级

Open circuit output test voltage and repetition frequency of the impulses				
Level	Power ports, earth port (PE)		Signal and control ports	
	Voltage peak kV	Repetition frequency kHz	Voltage peak kV	Repetition frequency kHz
1	0,5	5 or 100	0,25	5 or 100
2	1	5 or 100	0,5	5 or 100
3	2	5 or 100	1	5 or 100
4	4	5 or 100	2	5 or 100
X ^a	Special	Special	Special	Special

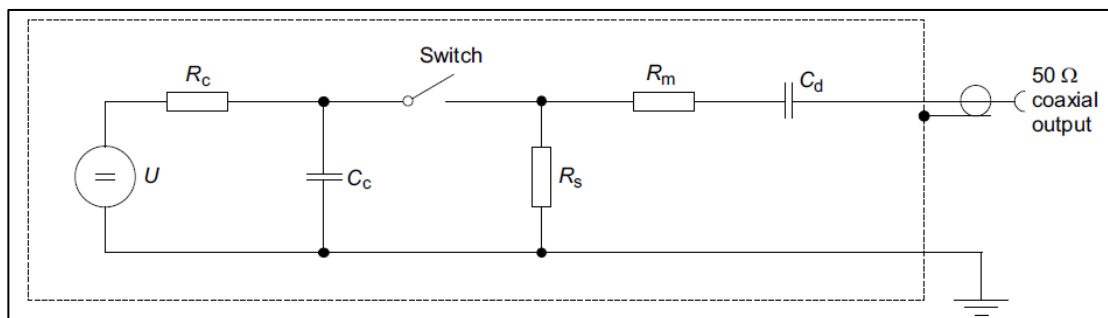
The use of 5 kHz repetition frequency is traditional, however, 100 kHz is closer to reality. Product committees should determine which frequencies are relevant for specific products or product types.

With some products, there may be no clear distinction between power ports and signal ports, in which case it is up to product committees to make this determination for test purposes.

^a "X" can be any level, above, below or in between the others. The level shall be specified in the dedicated equipment specification.

3.3.3. EFT 干扰波形

图 3-8. EFT 发生器的理想放电模型



U 是高压产生源；

R_c 充电电阻；

C_c 储能电阻；

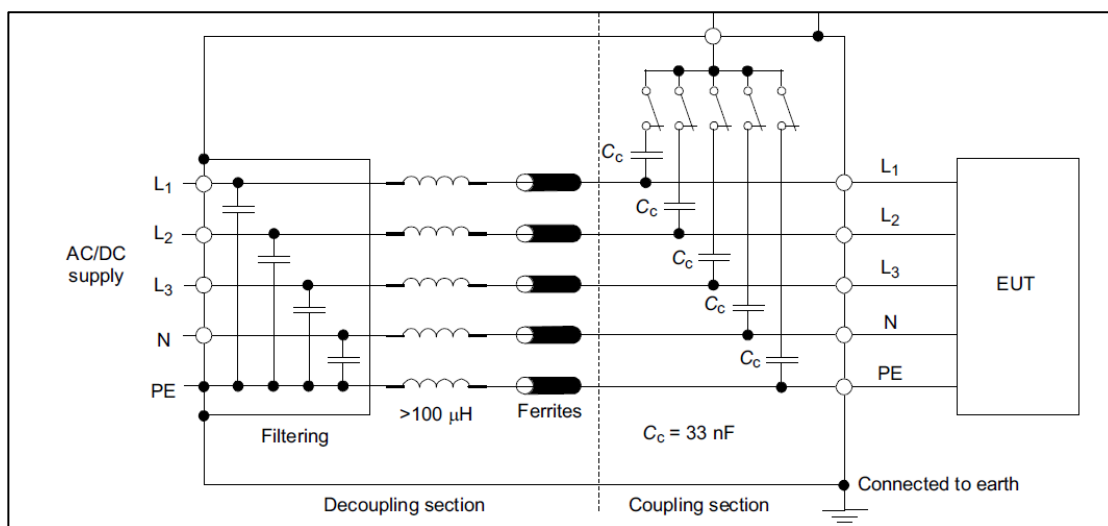
R_s 脉冲二次整形电阻；

R_m 阻抗匹配电阻；

C_d DC 限制电容；

Switch 高压开关。

图 3-9. EFT 发生器去耦网络模型



其中：

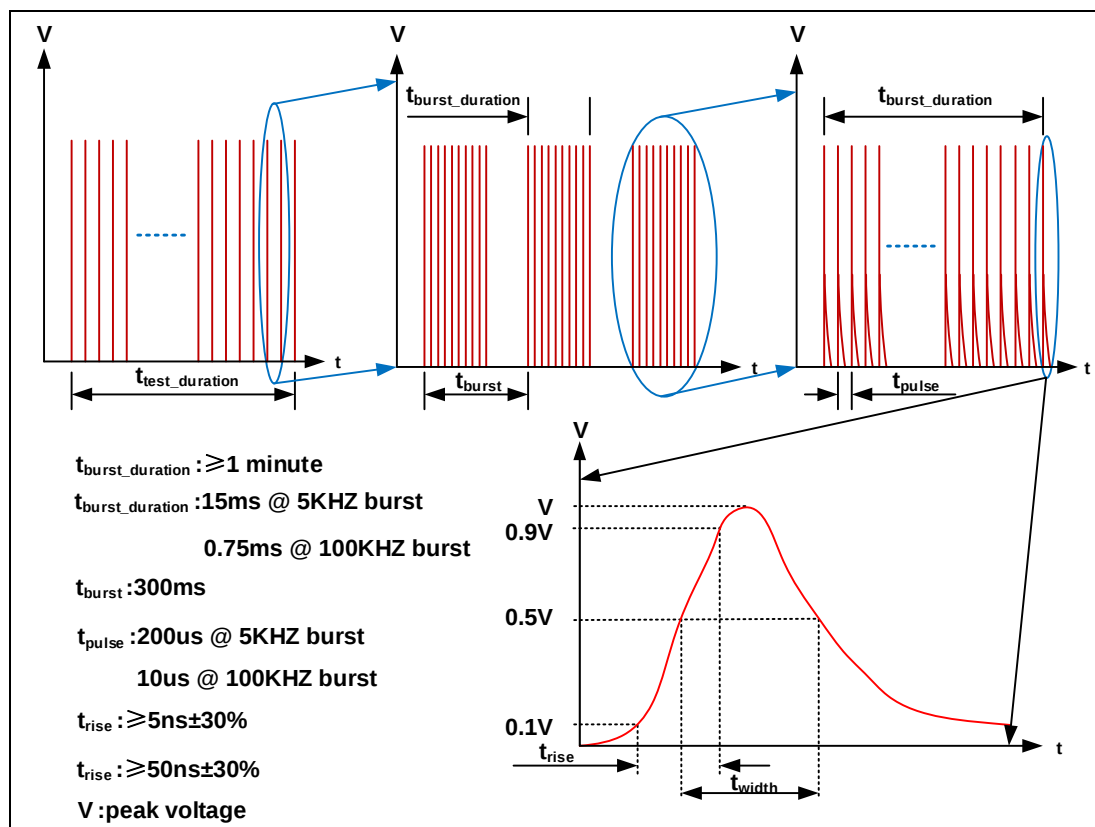
L_1, L_2, L_3 是三相火线；

N 为零线；

PE 为保护大地；

C_c 为耦合电容。

图 3-10. EFT 脉冲群波形参数



4. 绝对电气参数

人工操作时产生的放电可能会对集成电路造成不可恢复的破坏，而在自动的机械操作中的放电会毁坏更多的集成电路。芯片级 ESD 对集成电路或系统设备的放电方式存在着差异，产生的原因也有所不同。根据放电情况的不同主要将 ESD 放电模型分为三种，人体放电模型 HBM，组件充电模型 CDM，机器放电模型 MM。

我们通常所关心的故障特性是结漏、短路、栅氧化层击穿、热破坏等。由于目前各个测试仪器对于 MM 模型防护措施都比较全，MM 模型的发生的风险已经比较小了。MCU GD32 MCU 每个系列产品都会测试 HBM 以及 CDM，并标注在 datasheet 中。

芯片级 ESD 测试目的是为了测试芯片在通过晶圆的切割、封装、出厂前的测试、运输，以及 PCB 组装和贴片等过程中的抗静电性能，芯片级 ESD 均发生在 ESD 保护区域(EPA)的不上电操作中。系统级 ESD 测试则是衡量芯片在实际用中面临的复杂静电环境，而非 ESD 受控区域，且大多是 MCU 上电系统处于运行过程中。

Datasheet 中数据呈现方式如 [图 4-1. 绝对电气参数在 datasheet 中的表现方式](#) 所示：

图 4-1. 绝对电气参数在 datasheet 中的表现方式

Table 4-14. Component level ESD characteristics ⁽¹⁾						
Symbol	Description	Conditions	Package	Max	Unit	Level
V_{HBM}	Human body model electrostatic discharge voltage (Any pin combination)	$T_J = 25\text{ }^{\circ}\text{C}$; JS-001-2017	BGA176	2000	V	2
V_{CDM}	Charge device model electrostatic discharge voltage (All pins)	$T_J = 25\text{ }^{\circ}\text{C}$; JS-002-2018	BGA176	500	V	C2a

(1) Value guaranteed by characterization, not 100% tested in production.

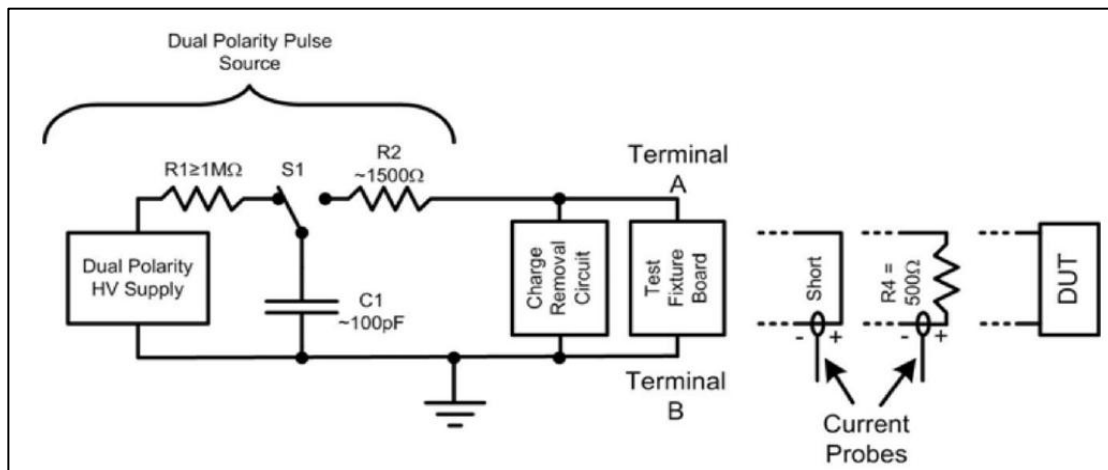
Table 4-15. Latch-up characteristics ⁽¹⁾				
Symbol	Description	Conditions	Package	Class
LU	I-test	$T_A = 125\text{ }^{\circ}\text{C}$; JE78F	BGA176	II Level A
	V_{supply} over voltage			

(1) Value guaranteed by characterization, not 100% tested in production.

4.1. 芯片级 ESD 人体放电模型 HBM

HBM ESD 脉冲模拟静电从人体到测试器件的直接转移。100pF 电容通过开关元件和 1.5kΩ 串联电阻放电。这是目前使用最多的工业模型，用于对器件进行 ESD 敏感性分类。此项测试满足 ESDA/JEDEC JS-001-2017/AEC_Q100-002 Rev-E 标准。

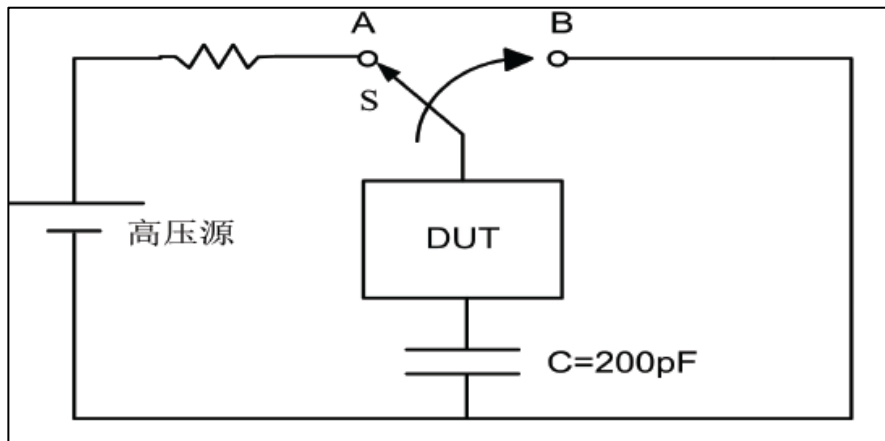
图 4-2. 芯片级 ESD HBM 发生器的理想放电模型



4.2. 芯片级 ESD 充电器件模型 CDM

带电器件模型是 IC 自身带电放电。这样电荷最初储存在 IC 内的，并且如果它的一个引脚接触接地物体，它就会自行放电。由于集成电路芯片摆放的角度的不同、摆放的位置、封装的类型、芯片内部积累的静电荷等原因都会造成其等效的电容的不同。此项测试满足 ESDA/JEDEC JS-002-2018/AEC_Q100-011 Rev-D 标准。

图 4-3. 芯片级 ESD CDM 发生器的理想放电模型



4.3. 静态闩锁 LU

Latch up 是指 CMOS 中, 在电源 power VDD 和地线 GND(VSS)之间由于寄生的 PNP 和 NPN 双极性 BJT 相互影响而产生的一低阻抗通路, 此现象会过载产生高电流消耗现象, 此时需要断开电源才能恢复初始状态。过载可以是电压或电流浪涌、电流或电压变化率过大或任何其他导致寄生 BJT 开始自持的异常情况。如果通过低阻抗路径的电流的幅度或持续时间得到充分限制, Latch up 不会损坏器件。此项测试满足 JESD78E/AEC - Q100-004 Rev-D 标准。

为评估 Latch up 性能，需要执行两项互补的 Latch up 测试：

- 电源过压（施加给每个电源引脚）模拟用户在电源上施加瞬态过电压的情形。
- 电流注入（施加给每个输入、输出和可配置 I/O 引脚）模拟应用导致施加给引脚的电压高于最大额定值的情况，例如因过冲/振铃导致某个输入的电压严重高于 VDD 或低于接地。

5. EMI 原理

EMI (electromagnetic interference) 电磁干扰, 是以设备为干扰源向周围环境发射电磁波的等级。发射的电磁波分为传导发射和辐射发射, 传导发射沿着电缆或者互连线传播, 辐射发射通过自由空间传播。当干扰源和受害者之间的距离通常大于一个波长 λ 时, 通常会遇到这种类型的 EMI 耦合。

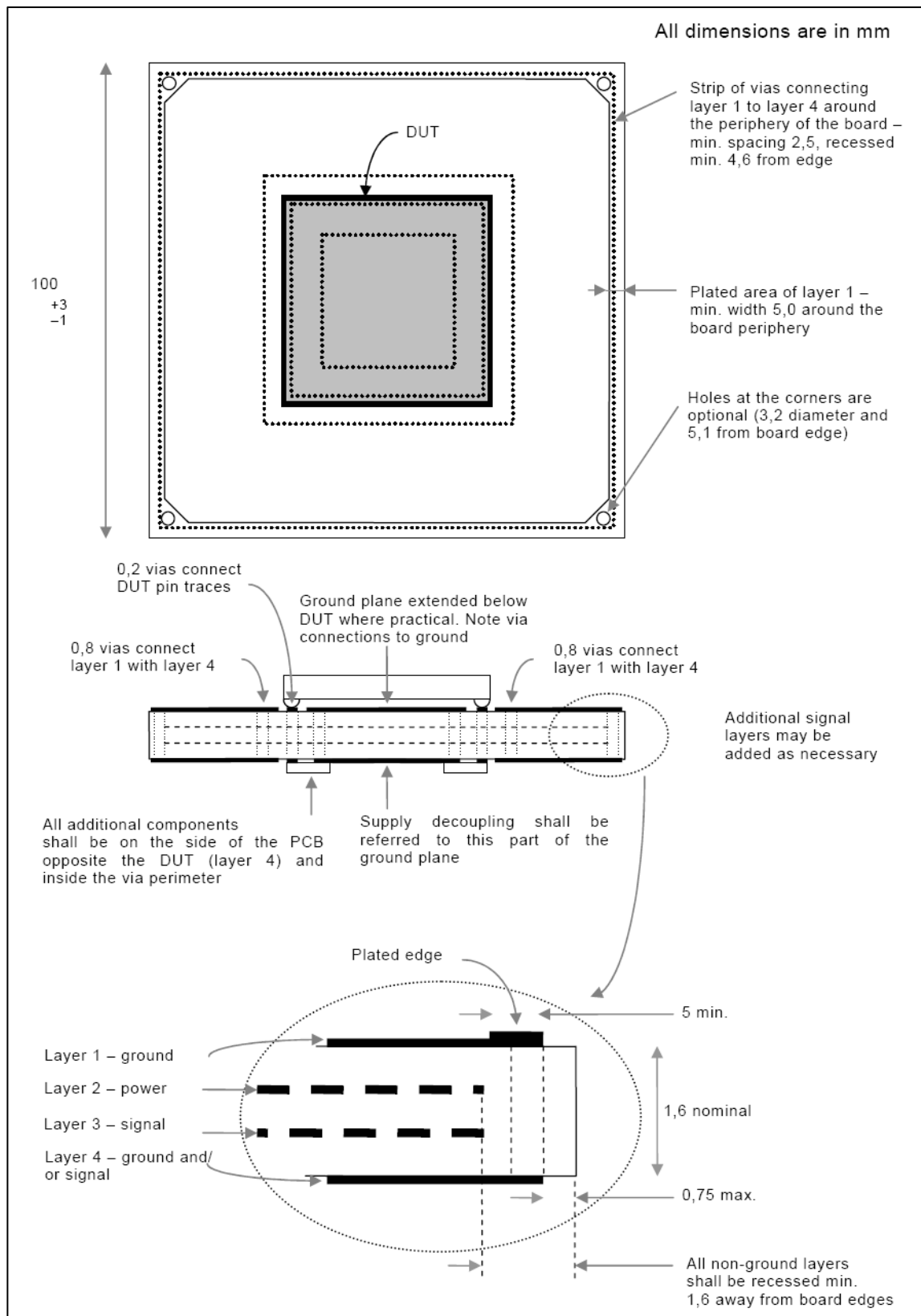
5.1. 测试硬件以及相关标准

IEC61967-1 标准中测试硬件相关的主要指示如 [表 5-1. IC 引脚推荐负载](#)和 [图 5-1. IEC61967-1 标准 PCB 设计参考](#)所示:

表 5-1. IC 引脚推荐负载

IC引脚类型	引脚负载
模拟	
— 电源	按制造商规定 (或者根据需要) ⁽¹⁾
— 输入	通过10k Ω 电阻器接地 (Vss), 除非IC内部已端接
— 输出信号	通过10k Ω 电阻器接地 (Vss), 除非IC内部已端接
— 输出功率	制造商规定的额定负载
数字	
— 电源	按制造商规定 (或者根据需要) ⁽¹⁾
— 输入	接地 (Vss), 如不能接地则通过10k Ω 电阻器接电源 (Vdd), 除非IC内部已端接
— 输出	通过47pF电容器接地 (Vss)
控制	
— 输入	接地 (Vss), 如不能接地则通过10k Ω 电阻器接电源 (Vdd), 除非IC内部已端接
— 输出	按制造商规定
— 双向的	通过47pF电容器接地 (Vss)
— 模拟	按制造商规定 (或者根据需要) ⁽¹⁾
(1). 引脚实际负载应在报告中予以说明。	

图 5-1. IEC61967-1 标准 PCB 设计参考

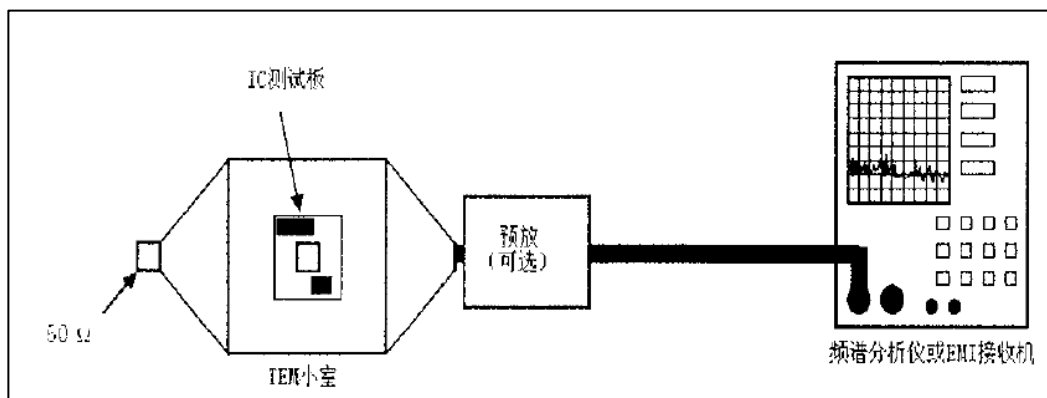


5.2. EMI 辐射 TEM 小室法

5.2.1. 测试设置

测试符合 SAE J1752-3: 2017 (IEC61967-2) 标准通过在 TEM 小室法进行测试, 通过将测试板旋转 0/90/180/270 度, 测试四个方向上的辐射噪声。此方法较好地评估应用环境中 MCU 发出的辐射噪声水平。MCU 芯片和封装影响器件产生的辐射噪声, 晶体和 MCU 系统时钟及其倍频谐波一般表现为 EMI 的噪声尖峰。基于简单的应用运行固件, 通过 I/O 端口切换 2 个 LED。

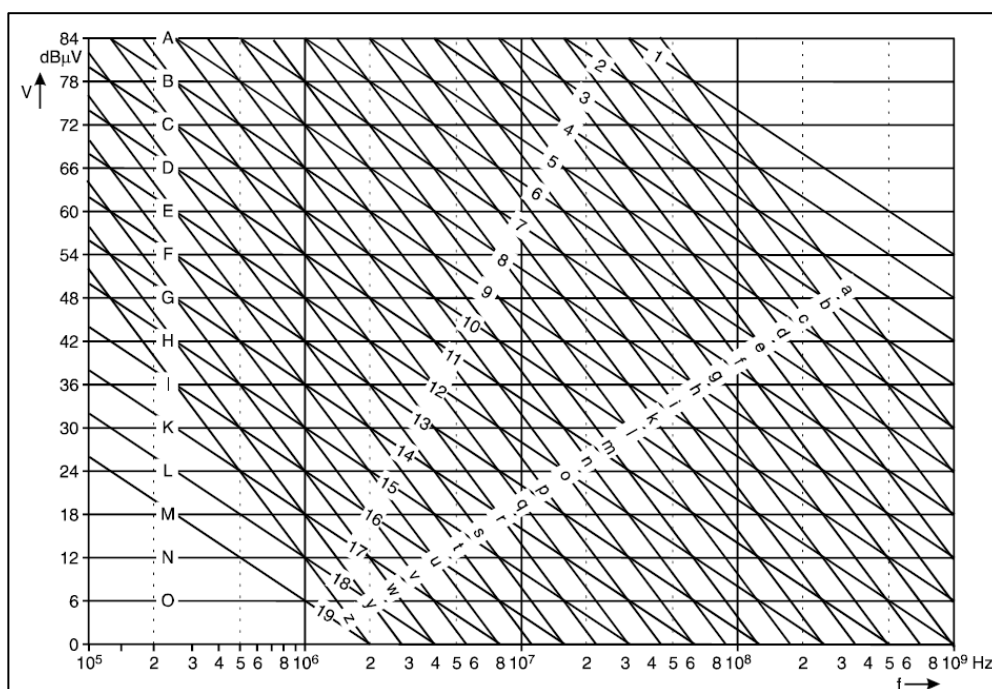
图 5-2. EMI 测试 TEM 法实验布置图



5.2.2. EMI 等级分类

EMI 等级分类基于 IEC61967-2 国际标准。

图 5-3. EMI 辐射特性等级曲线



Datasheet 中数据呈现方式如 [图 5-4. IEC61967-2 辐射等级](#) 所示：

图 5-4. IEC61967-2 辐射等级

EMI (Electromagnetic Interference) emission test result is given in the [Table 4-10. EMI characteristics](#)⁽¹⁾, The electromagnetic field emitted by the device are monitored while an application, executing EEMBC code, is running. The test is compliant with SAE J1752-3:2017 standard which specifies the test board and the pin loading.

Table 4-10. EMI characteristics⁽¹⁾

Symbol	Parameter	Conditions	Tested frequency band	Max vs. [f _{HXTAL} /f _{HCLK}]	Unit
				8/168 MHz	
SEMI	Peak level	V _{DD} = 3.6 V, T _A = +23 °C, LQFP144, f _{HCLK} = 168 MHz, conforms to SAE J1752-3:2017	0.15 MHz to 30 MHz	3.49	dBμV
			30 MHz to 130 MHz	8.04	
			130 MHz to 1 GHz	16.70	

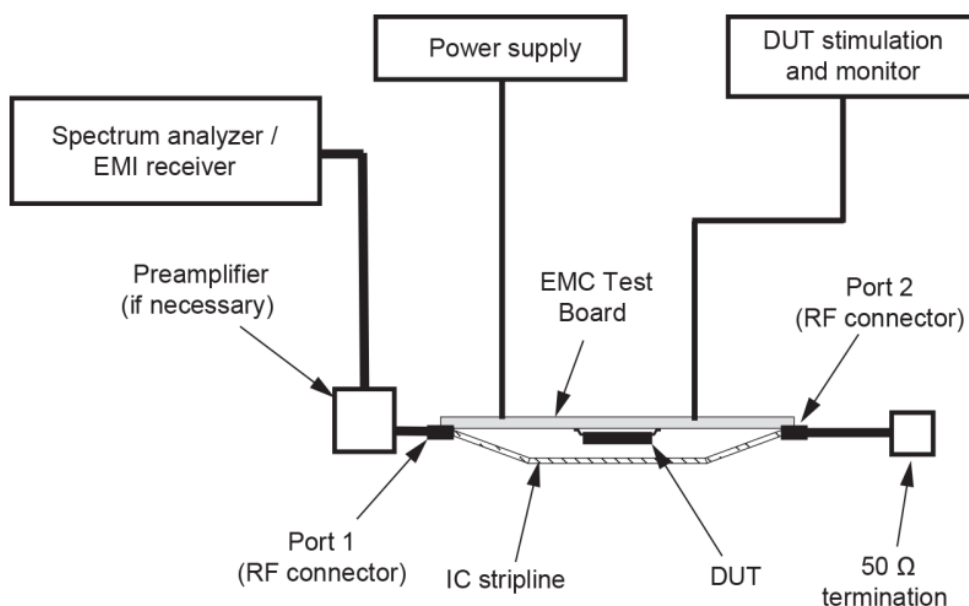
(1) Based on characterization, not tested in production.

5.3. EMI 辐射带状线法

5.3.1. 测试设置

测试符合 IEC61967-8:2023 标准通过带状线法进行测试, 通过将测试板旋转 0/90/180/270 度, 测试四个方向上的辐射噪声。此方法较好地评估应用环境中 MCU 发出的辐射噪声水平。MCU 芯片和封装影响器件产生的辐射噪声, 晶体和 MCU 系统时钟及其倍频谐波一般表现为 EMI 的噪声尖峰。基于简单的应用运行固件, 通过 I/O 端口切换 2 个 LED。

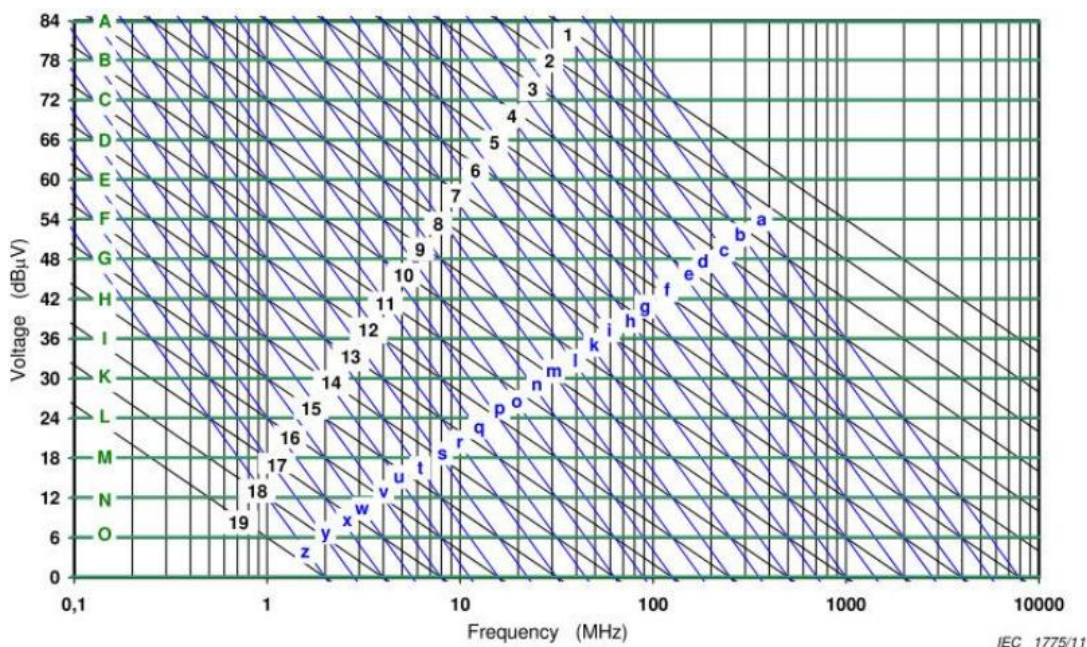
图 5-5. EMI 测试带状线法实验布置图



5.3.2. EMI 等级分类

EMI 等级分类基于 IEC61967-8 国际标准。

图 5-6. EMI 辐射特性等级曲线

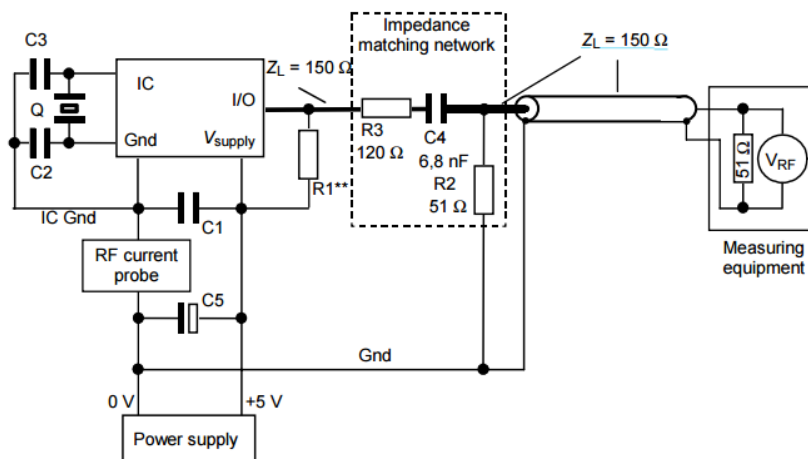


5.4. EMI 传导发射

5.4.1. 测试设置

测试符合 IEC61967-4: 2021 标准，对 MCU 端口进行传导发射测试。本测试采用 $150\ \Omega$ 测试网络去测量通过 IC 引脚传导出来的 RF 噪声， $150\ \Omega$ 测试法主要用来测试输出端口的干扰电压。此方法较好地评估 MCU PIN 上发出的传导噪声水平，特别是电源引脚上的噪声。本测试基于简单的应用运行固件，通过 I/O 端口切换 2 个 LED。

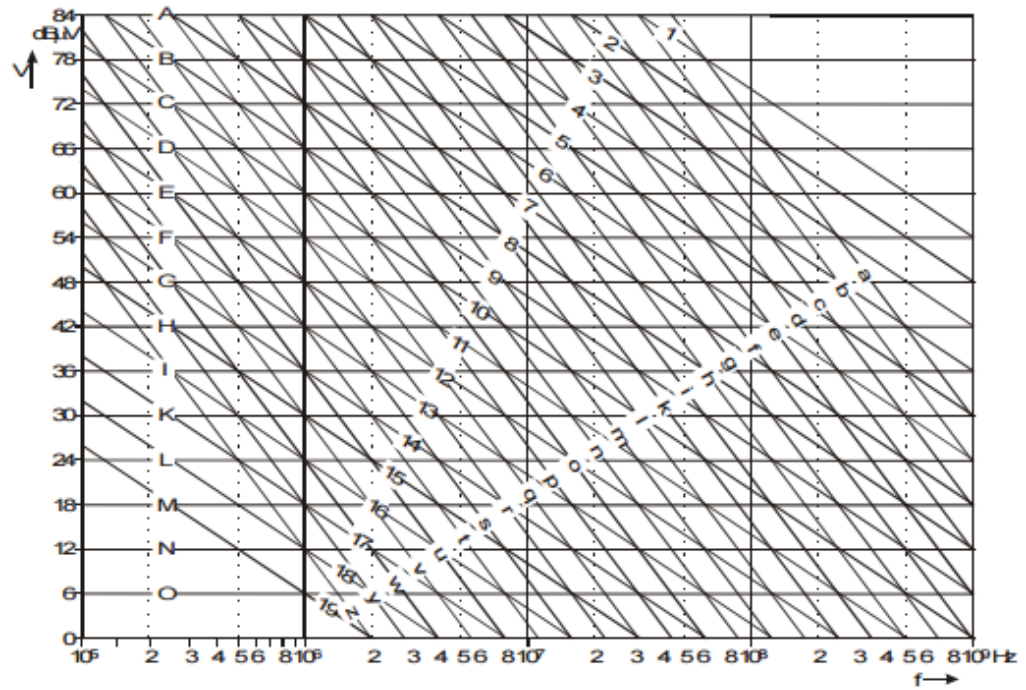
图 5-7. EMI 传导发射实验布置图



5.4.2. EMI 等级分类

EMI 等级分类基于 IEC61967-4 国际标准。

图 5-8. EMI 传导发射特性等级曲线



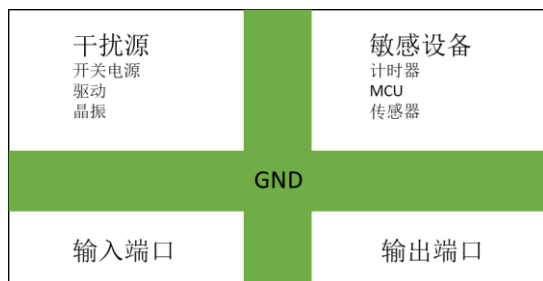
6. GD32 MCU EMC 硬件策略

6.1. 布局与架构

6.1.1. PCB 布局

EMC 包含干扰源、耦合路径和敏感设备三要素。开关电源和开关信号是主要噪声源，PCB 走线既是噪声辐射天线也是接收天线。噪声抑制与 PCB 布局和电源、地等设计息息相关。因此，PCB 布局推荐将干扰源和敏感设备分开，减少耦合路径。一种推荐布局如[图 6-1. 推荐 PCB 布局](#)所示。

图 6-1. 推荐 PCB 布局



MCU 一般具备时钟电路和高速接口输出能力，PCB 走线容易产生高频噪声，而复位引脚等对外界环境比较敏感，建议布局在靠近 PCB 中间区域。

6.1.2. PCB 层叠架构

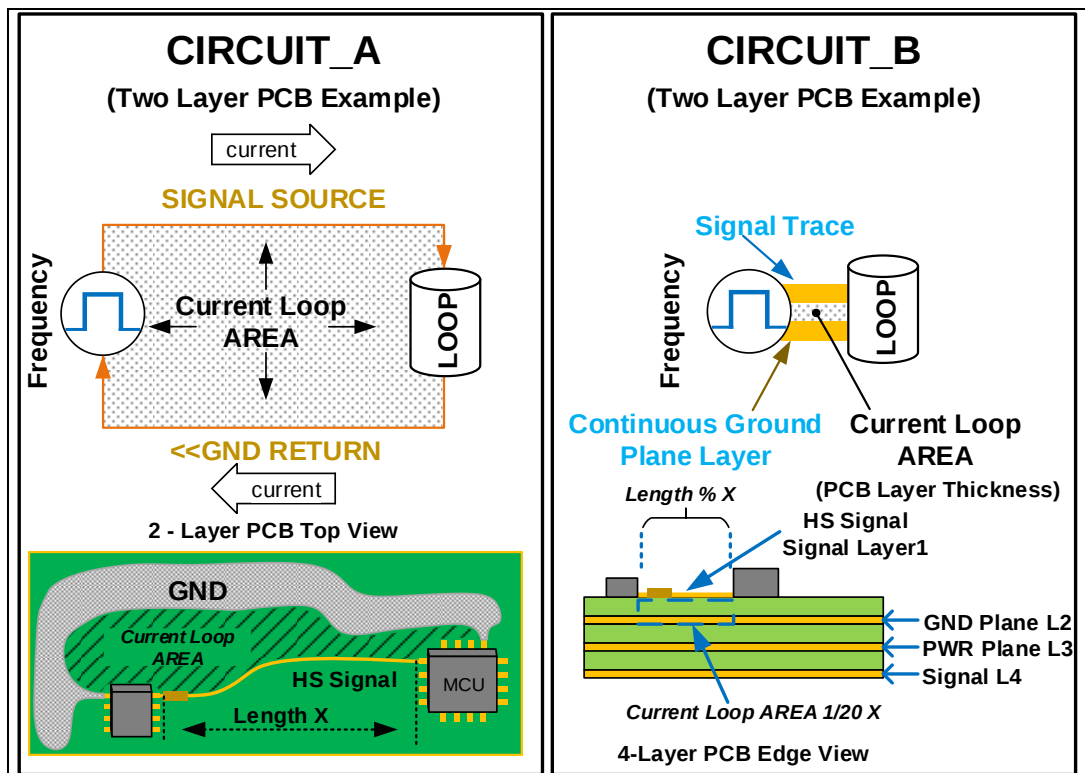
在四层板设计之前，需要知道产品需要的层叠总厚度，选择的介质材料是什么，以及板子上的阻抗类型。四层的叠层一般都是两个信号层两个参考层，设计时，需尽量保证 Layer2 为完整 GND，并尽量减少 Bottom Layer 的电源和敏感信号走线。四层 PCB 推荐叠层如[表 6-1. 推荐 4 层 PCB 板叠层](#)所示：

表 6-1. 推荐 4 层 PCB 板叠层

PCB 叠层	推荐布线
Layer1	Signal1
PP	PP
Layer2	GND
Core	Core
Layer3	Power
PP	PP
Layer4	Signal2

[图 6-2. PCB 两层板与四层板之间的回流面积](#)是二层板与四层板回流面积比较，四层 PCB 的回流面积是两层板的 1/20，辐射的 EMI 更少，且更有利于噪声的泄放。

图 6-2. PCB 两层板与四层板之间的回流面积



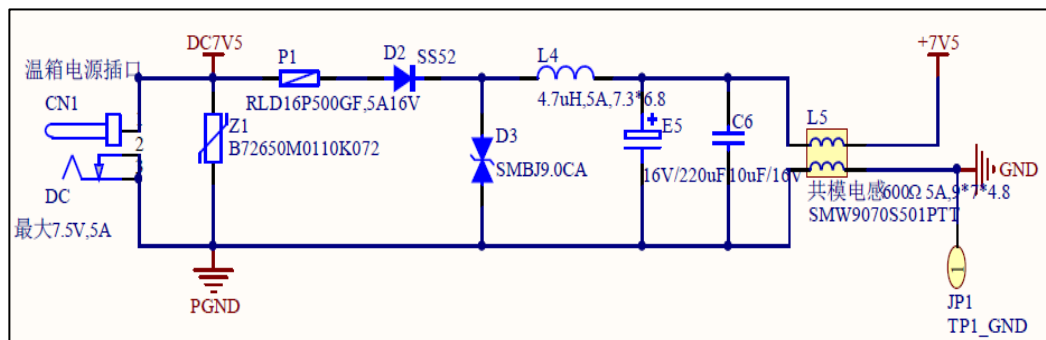
6.2. 电源/地设计

6.2.1. 电源设计

每个电源必须有一个滤波器，如果该滤波器位于板上，则必须靠近稳压器，如果是外部稳压器，则必须靠近 PCB 入口点。该滤波器应根据稳压器的纹波特性和集成电路的电源要求进行设计，并且应至少包括两个电容器：一个大电容器 (μF) 用于低频滤波；一个用于高频滤波的小电容器 (nF)。需要干净电源的集成电路应配备一个额外的 LC 滤波器，以避免噪声与电路其他模块的耦合。

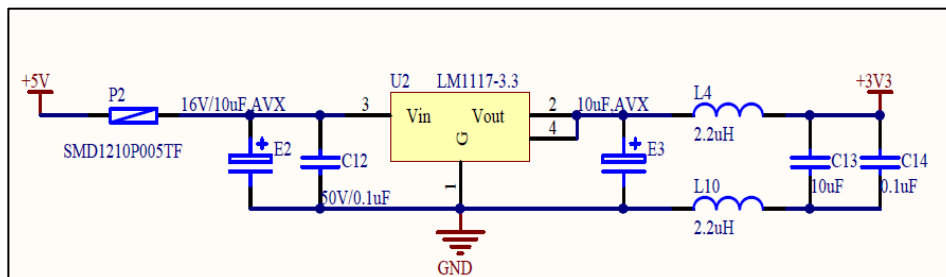
电源设计实例：

图 6-3. 推荐电源防护设计



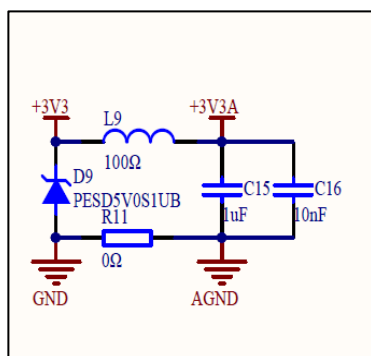
LDO 的设计实例：

图 6-4. 推荐 LDO 设计



MCU 的电源域 VDD 与 VDDA 之间的处理方式如 [图 6-5. 推荐 VDD&VDDA 设计](#) 所示：

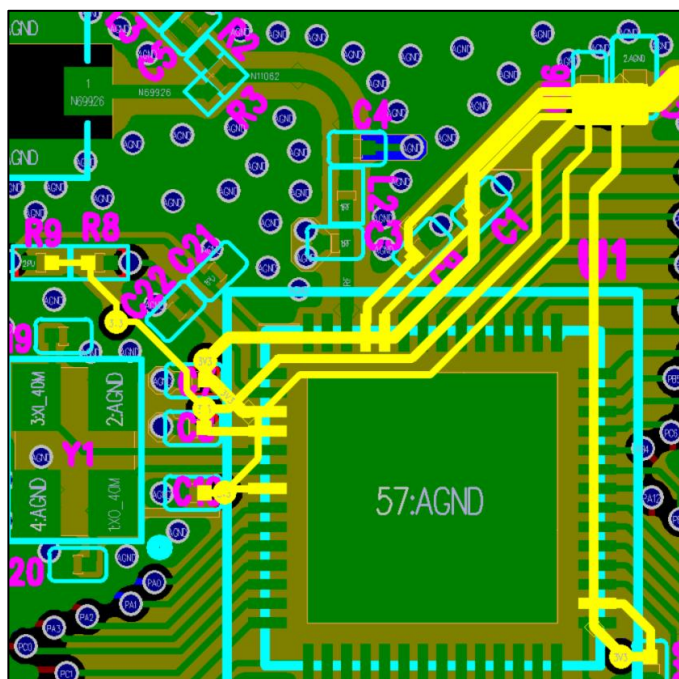
图 6-5. 推荐 VDD&VDDA 设计



6.2.2. 电源拓扑

MCU 的 5V/3.3V 电源走线建议采用“星状”供电方式。每根电源管脚(Pin)的走线单独从 5V/3.3V 源头拉到芯片 Pin，在 5V/3.3V 源头摆放大电容。

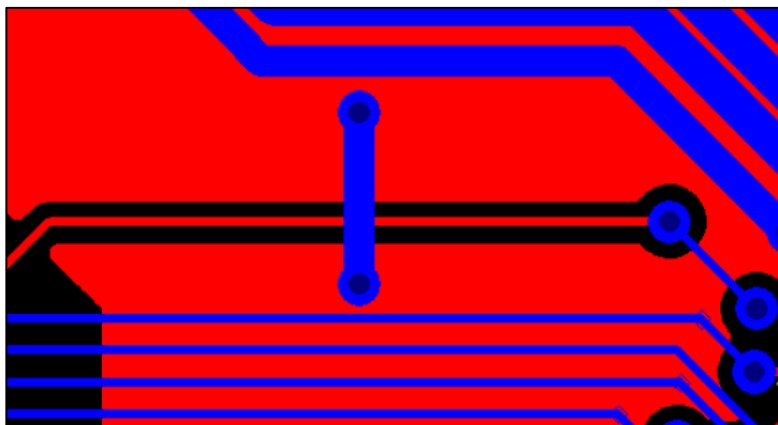
图 6-6. 推荐 MCU 星型供电网络



6.2.3. GND 完整性和铺铜

除了 GND 和 Power 的参考层，信号层也建议进行铺铜作为 GND 网络，避免出现死铜，以保证 GND 的完整性。信号层的 GND 铜皮需要多打 VIA 到 GND 平面，有利于减小高频噪声的回流面积。另外 MCU 底部的信号层建议多打 VIA，有利于散热以及信号回流。另外对于死铜和孤岛可以进行桥接，如[图6-7. 推荐桥接方式](#)所示：

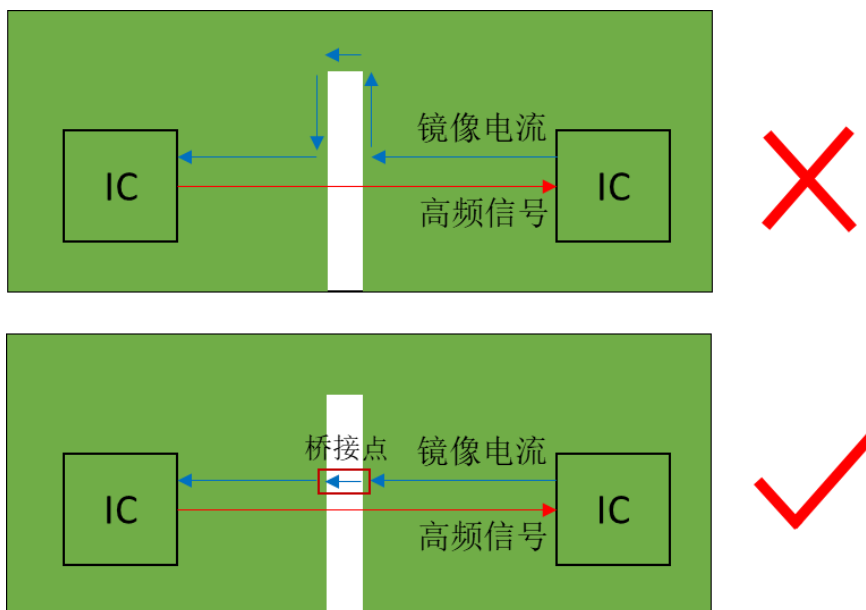
图 6-7. 推荐桥接方式



开槽和边界。将 GND 层中模拟地和数字地分开，通过开槽将一个地平面上的数字地和模拟地分割开，电源地则不用太分开。由于模拟电路产生的噪声和电流比数字电路的小几个数量级，所以为了不引入数字地上的噪声和电流，模拟地一般与数字地隔离开。其措施一般是通过在数字电路与模拟电路之间开槽隔绝，如[图 6-7. 推荐桥接方式](#)所示。在参考地平面上高频信号会自动寻找阻抗最小（确切的说是最小电感）距离最短的线路。但连接模拟与数字域逻辑等低速数字电路时，通常需要在开槽处桥接串联 1K-5K 的电阻。当需要在模拟域与数字域连接高速信号时，例如音频解码主时钟时，此时应该直通连接而不是开槽，如[图6-7. 推荐桥接方式](#)所示，在实际应用为了终端匹配，一般在时钟源处匹配 50 欧姆的终端电阻。

当高频电流从 IC 的输出端经过信号线流入到另一个 IC 的输入端，在距其最近的平面上总有一个和它流入路径相反的镜像电流，它和信号线上的电流形成一个闭合环路。该环路越小，产生的噪声辐射越低。由于时钟信号和高速信号的频率较高，特别容易受到电磁干扰和产生高频噪声。为了增强时钟和高速信号的抗干扰能力、降低其产生的辐射干扰，需要确保所有时钟和高速信号走线都有一个完整的参考地平面或者拥有环路最小和最畅通的电流回流路径。因此，高速时钟和高速信号走线需要就近包地，并严禁跨分割地平面。如果需从两个分割地平面布线，推荐在两个地平面间设计桥接点或焊接电阻电容作为桥接点。如[图6-8. 跨分割地平面布线方式](#)所示。

图 6-8. 跨分割地平面布线方式

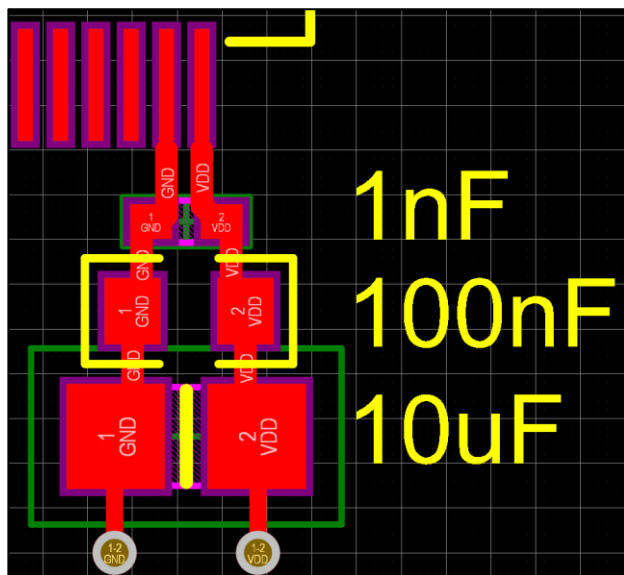


6.3. 去耦电容设计

MCU 的每个电源引脚都应该放置至少一个去耦电容，需要去耦电容来提供 CMOS 开关器件 MCU 所需要的瞬态电流，以抵消输出电感和电源 IC 互联电感的影响。为了使去耦电容有效，应根据下面原则进行设计以及 layout:

- 推荐去耦电容组合。建议在 MCU 的 VDD/VBAT 电源域每个引脚上面并 $10\mu\text{F}+100\text{nF}+1\text{nF}$ ，VDDA 电源域每个引脚并 $1\mu\text{F}+10\text{nF}$ 。该电容数值为经验值，具体电容组合参考产品 datasheet 和硬件开发指南。
- 去耦电容摆放应该离 MCU 越近越好。当有多个去耦电容时，容值越小的电容离 MCU 越近，通常 1nF 最靠近 MCU 引脚，其次为 100nF ， $10\mu\text{F}$ 最靠外。
- 保证电源电流先流向电容，然后再流向 MCU。如果电源引脚和 GND 引脚的相聚较远，建议将电容摆放在靠近 GND 引脚位置，因为信号一般是以 GND 作为参考。
- 每个电容都应该有各自的过孔，严禁多个电容共用一个过孔。去耦电容与 MCU 引脚之间的走线应尽可能宽且短，以降低去耦电容与 MCU 电源引脚之间的阻抗。电源网络与去耦电容之间的走线应尽量窄和长，抑或使用 VIA 隔开，以提供高阻抗应对潜在的电源噪声和纹波。

图 6-9. 推荐去耦电容组合

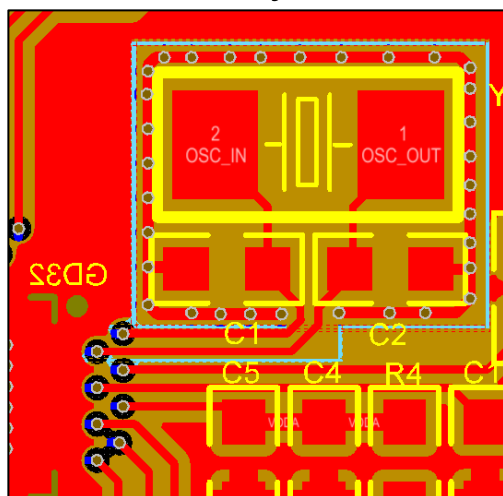


6.4. MCU 外围敏感电路设计

6.4.1. 晶体 OSC 电路

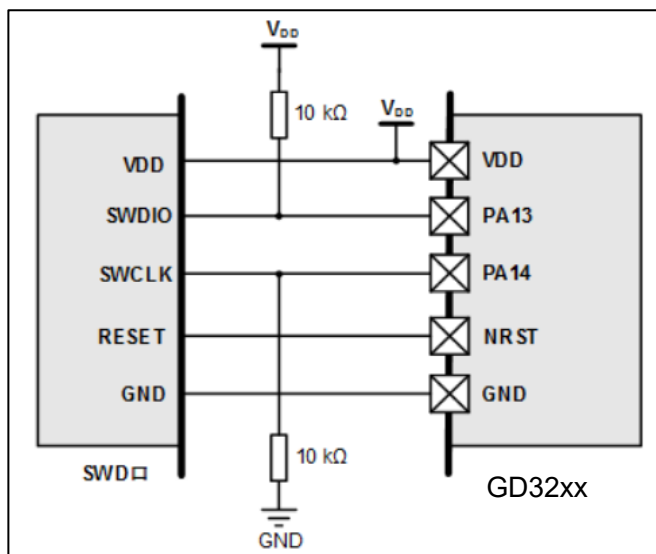
晶体要尽量靠近芯片 Pin，远离诸如功率电感的磁感应器件与诸如天线的辐射器件，与同层其他信号走线利用 GND 铺铜及 VIA 隔离。晶体输入输出走线要尽可能短且少弯折，不可跨层或交叉走线。两边负载电容与晶体各自的 GND PAD 可以相连，并摆放多个 GND VIA 以提高散热保障。晶体下方尽量不走任何传输线，保留完整的 GND 铺铜。晶振电路走线以及匹配电容应该与晶振在同一侧，尽量不穿层。布局应该使晶振靠近 MCU，晶振电路走线不能太长，不要超过 12mm。在晶振同层以及下一层与其他电路间隔开，晶振电路周围也使用接地 VIA 形成保护环。

图 6-10. 推荐晶体 Layout 设计



烧录口 SWD。MCU 的 SWD 烧录口走线应尽量短，远离板边 12mm。

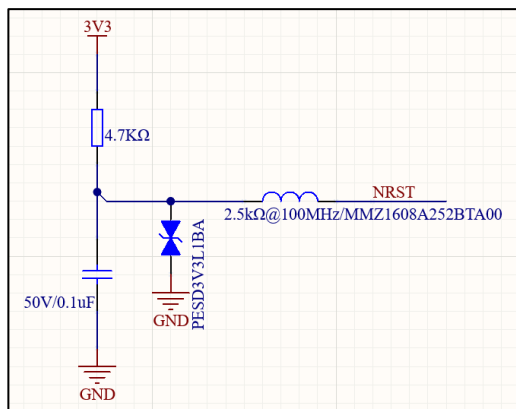
图 6-11. 推荐 SWD 烧录口设计



有以下几种方式可以提高 SWD 下载调试通信的可靠性，增强下载调试的抗干扰能力。缩短 SWD 两个信号线长度，最好 15cm 以内；将 SWD 两根线和 GND 线编个麻花，缠在一起；在 SWD 两根信号线对地各并几十 pF 小电容；SWD 两根信号线任意 IO 串入 100Ω~1KΩ 电阻。

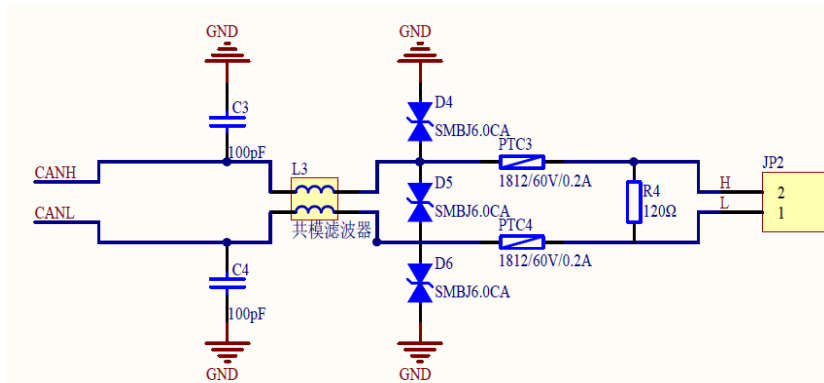
6.4.2. 复位电路 NRST

图 6-12. 推荐复位电路设计



6.4.3. CAN 典型电路设计

图 6-13. 推荐 CAN 总线电路设计



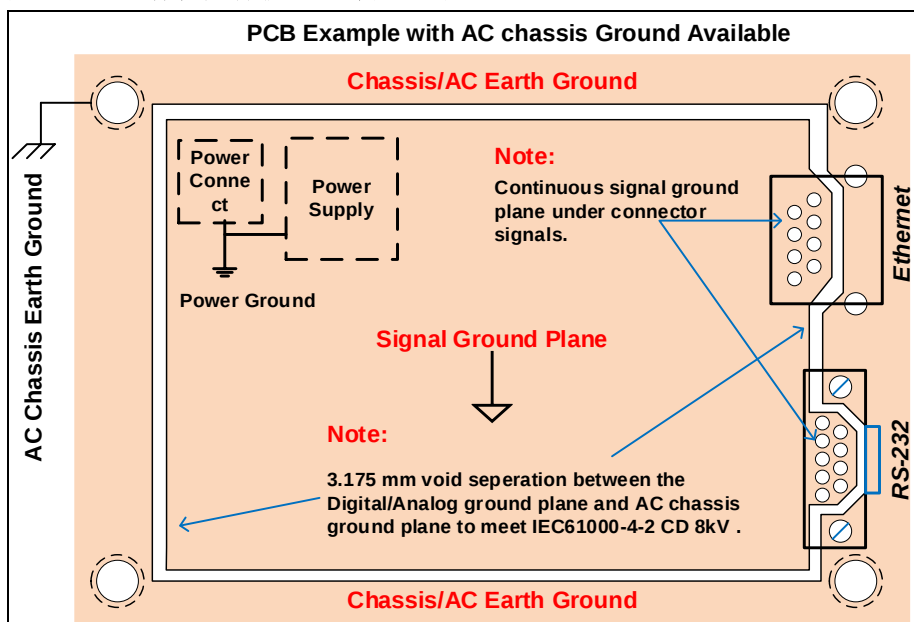
6.5. 硬件防护电路设计

硬件防护电路的相关设计可以参考《AN163 GD32 MCU EMC 硬件防护设计参考》文档和产品硬件开发指南。

6.6. Layout 布局

机箱 AC 保护地，储卡座，RS232 和 CAN 等外设，连接器盒与信号接地电气隔离。机壳应尽可能连接到交流机架的接地（即接地），以无害地将高压放电分流到保护大地，而不要进入数字或模拟接地电路。请注意，接地平面在外围连接器的所有高速信号连接下始终是连续的，但连接器壳体与外部 AC 机箱平面隔离。

图 6-14. 推荐机壳保护地的布局设计



在有机壳地（保护大地/交流机架接地）的应用中，强烈建议不要将数字信号接地和交流机架接地，两者至少保持一定距离 $>3.175\text{mm}$ （0.125 inches），用于 11-12 kV 电火花间隙隔离，以满足 IEC61000-4-2 Level-4 8 kV 接触放电

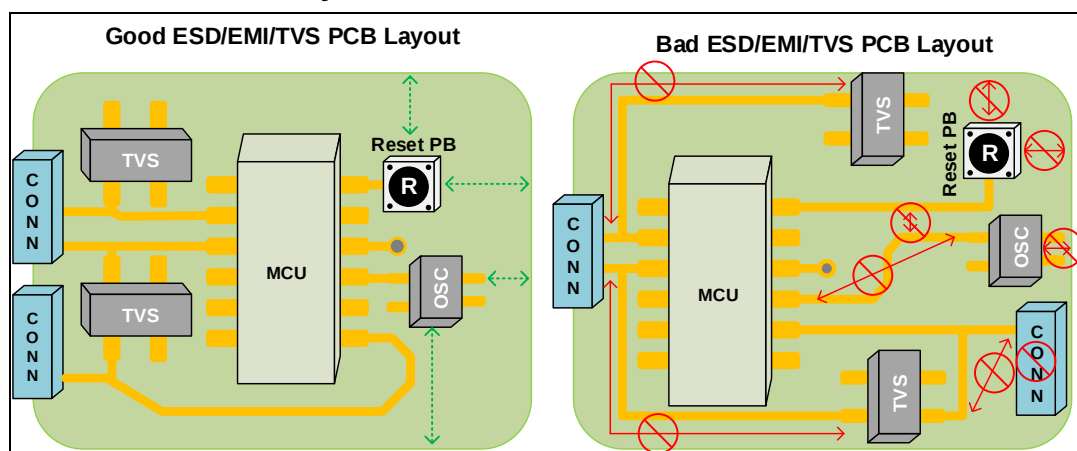
将 TVS 放置在尽可能靠近外部信号连接器的位置，TVS 接地直接连接到接地层，避免接地走线。

高速或敏感的模拟/数字走线应从电路板边缘至少布线 $2x$ 倍，其中“ x ”是走线与其返回电流路径之间的距离。与非常靠近板的边缘的迹线对相关的电场和磁场线的容纳程度较低。从这些走线来看，与天线的串扰和耦合往往会更大，并使它们更容易受到 ESD, EMI 和 EFT 事件的影响。

高速时钟和高速信号走线需要相互隔离，例如 USB /EMMC/以太网等信号线要与其它信号线间用地线隔离。SPI/QSPI/I2C/系统时钟等强干扰信号和普通 GPIO 间需要尽量加地线隔离，敏感信号和周围干扰信号之间需要加地线隔离，用于隔离作用的地线要求尽量宽，并均打 Via 与主地相连。

易感元件/电路应远离 PCB 边缘。最好将它们放在板子的中央。如果无法做到这一点，如果不使用外部保护大地环，请尝试将它们放置在距离边缘大于 12 mm 的位置，因为在高压放电事件中，高频能量会聚集在外部边缘，尤其是成直角 PCB 主体的各个角（使用圆形的 PCB 角）。

图 6-15. 推荐防护器件 layout 设计



与外部世界连接的组件应保持在 PCB 边缘附近。其余组件应远离 PCB 边缘，以减少环境影响（即 ESD）

如果将共模扼流圈或瞬态抑制器设备（例如，TVS，MOV）用于功率滤波，则应将其放置在 PCB 的入口处。在受 TVS 电路保护的电路中，来自连接器的外部信号应首先路由到 TVS，然后再路由到铁氧体或共模扼流圈，再路由到受保护的组件。

硬件 layout 相关设计可以参考《AN191 GD32 MCU 硬件 Layout 设计参考》文档。

6.7. 其它 EMC 应用方案

6.7.1. IO 配置

悬浮引脚对电路具有潜在威胁，为提高 EMC 性能，未使用的 IO 口引脚建议硬件上拉或者下拉。

IO 在高低电平转换时过冲会随着 IO 口速度增大而增大，可通过降低 IO 口速度来减少过冲。MCU 的主要噪声源是高速时钟和高速通信接口，例如 SPI、I2C 时钟和 USB 等，这些接口的上升/下降时间是影响 EMI 的重要因素。因此通常在设计中添加 RC 低通滤波器。

GD32 MCU 支持部分 IO 驱动可调，通过控制 IO 的上升下降斜率和驱动能力降低 IO 的 di/dt ，从而降低输出时钟信号的噪声强度。GPIO 驱动能力需要与实际应用中的信号频率相匹配，驱动能力的选择需要保证信号波形的建立和保持时间满足外设设备的信号采样要求。

6.7.2. 展频 SSC

高速时钟是一种典型的高速噪声源，而常规的屏蔽、滤波等 EMI 改善措施对高频骚扰的改善非常有限，时钟展频可以明显减少 EMI 发射强度。时钟信号的能量集中在其载波位置，导致对应信号在其基频及倍频处产生较高能量。展频通过对尖峰时钟进行调制处理，将集中在窄频带范围内的能量分散到设定的宽频范围，从而达到降低尖峰能量，抑制 EMI 的效果。

GD32 MCU 产品中增加了 SSC (Spread Spectrum Clocking) 即时钟展频的功能。展频调制仅适用于主 PLL 时钟，需要通过软件配置选择具体的输出引脚，引脚的时钟源选择可参考 GD32 MCU 用户手册。若要对时钟信号开展频，修改 GD32 MCU 芯片的时钟展频控制寄存器的值即可。通过 MODSTEP 和 MODCNT 配置 PLL 展频调制曲线振幅和频率，因此只需修改代码中 MODSTEP 和 MODCNT 的值即可实现不同条件下的展频。具体设置可参考芯片用户手册。

与不开展频相比，通过分别设置 MODSTEP 和 MODCNT 的值来配置 PLL 展频可使时钟峰值能量最高降低约 20dBm。

展频是在原时钟频率基础上扩大了时钟的抖动范围，虽然提高展频深度可以增大噪声衰减幅值，但是展频深度过高可能会导致时钟抖动范围超过系统频率容限而影响到系统性能。因此展频深度一般推荐在 0.5%~2.5% 之间，比如该芯片的 PLL 输出频率在 200MHz，则一般扩展带宽在 1MHz-5MHz。最终还是需要按照系统的实际容限去选择最合适的展频参数。

7. 版本历史

表 7-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2022 年 08 月 17 日
2.0	增加 EMI 辐射带状线法和传导发射测试，修订 MCU EMC 硬件策略	2025 年 06 月 27 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.