

GigaDevice Semiconductor Inc.

GD32F1x0 系列硬件开发指南

应用笔记

AN108

目 录

| | |
|----------------------------------|-----------|
| 目 录..... | 2 |
| 图索引..... | 3 |
| 表索引..... | 4 |
| 1. 前言..... | 5 |
| 2. 硬件设计..... | 6 |
| 2.1. 电源..... | 6 |
| 2.1.1. 备份域..... | 6 |
| 2.1.2. V_{DD}/V_{DDA} 电源域..... | 7 |
| 2.1.3. 供电设计..... | 7 |
| 2.1.4. 复位及电源管理..... | 7 |
| 2.2. 时钟..... | 10 |
| 2.2.1. 外部高速晶体振荡时钟 (HXTAL) | 11 |
| 2.2.2. 外部低速晶体振荡时钟 (LXTAL) | 12 |
| 2.2.3. 时钟输出能力 (CKOUT) | 13 |
| 2.2.4. HXTAL 时钟监视器 (CKM) | 13 |
| 2.3. 启动配置..... | 14 |
| 2.4. 典型外设模块..... | 14 |
| 2.4.1. GPIO 电路..... | 14 |
| 2.4.2. ADC 电路..... | 15 |
| 2.4.3. DAC 电路..... | 16 |
| 2.4.4. USB 电路..... | 17 |
| 2.4.5. 待机模式唤醒电路..... | 17 |
| 2.5. 下载调试电路..... | 18 |
| 2.6. 参考原理图设计..... | 19 |
| 3. PCB Layout 设计..... | 20 |
| 3.1. 电源去耦电容..... | 20 |
| 3.2. 时钟电路..... | 20 |
| 3.3. 复位电路..... | 21 |
| 3.4. USB 电路..... | 22 |
| 4. 封装说明..... | 23 |
| 5. 版本历史..... | 24 |

图索引

| | |
|---|----|
| 图 2-1. GD32F130 和 GD32F150 系列电源域概览..... | 6 |
| 图 2-2. GD32F1x0 系列推荐供电设计 | 7 |
| 图 2-3. 上电/掉电复位波形图..... | 8 |
| 图 2-4. LVD 阈值波形图..... | 9 |
| 图 2-5. RCU_RSTSCK 寄存器..... | 9 |
| 图 2-6. 系统复位电路..... | 9 |
| 图 2-7. 推荐外部复位电路..... | 10 |
| 图 2-8. GD32F130 和 GD32F150 产品的时钟树..... | 11 |
| 图 2-9. HXTAL 外部晶体电路..... | 11 |
| 图 2-10. HXTAL 外部时钟电路..... | 12 |
| 图 2-11. LXTAL 外部晶体电路..... | 12 |
| 图 2-12. LXTAL 外部时钟电路..... | 13 |
| 图 2-13. 推荐 BOOT 电路设计..... | 14 |
| 图 2-14. 标准 IO 的基本结构..... | 15 |
| 图 2-15. ADC 采集电路设计..... | 16 |
| 图 2-16. 推荐 USB-Device 参考电路..... | 17 |
| 图 2-17. 推荐待机外部唤醒引脚电路设计 | 17 |
| 图 2-18. 推荐 SWD 接线参考设计..... | 18 |
| 图 2-19. GD32F1x0 推荐参考原理图设计..... | 19 |
| 图 3-1. 推荐电源引脚去耦 Layout 设计..... | 20 |
| 图 3-2. 推荐时钟引脚布线设计（无源晶体） | 21 |
| 图 3-3. 推荐 NRST 走线 Layout 设计..... | 21 |
| 图 3-4. 推荐 USB 差分走线 Layout 设计 | 22 |

表索引

| | |
|--|----|
| 表 1-1. 适用产品 | 5 |
| 表 2-1. GD32F130/GD32F150 CKOUT0SEL[2:0]控制位 | 13 |
| 表 2-2. BOOT 模式..... | 14 |
| 表 2-3. $f_{ADC}=14\text{MHz}$ 采样周期与外部输入阻抗关系..... | 16 |
| 表 2-4. DAC 相关引脚描述..... | 16 |
| 表 2-5. SWD 下载调试接口分配..... | 18 |
| 表 4-1. 封装型号说明..... | 23 |
| 表 5-1. 版本历史..... | 24 |

1. 前言

本文是专为基于Arm® Cortex®-M3架构的32位通用MCU GD32F1x0系列开发者提供的，对GD32F1x0系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32F1x0系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用笔记总共分为七部分来讲述：

1. 电源，主要介绍GD32F1x0系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32F1x0系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32F1x0系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32F1x0系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32F1x0系列推荐典型下载调试电路；
6. 参考电路及PCB 布线设计，主要介绍GD32F1x0系列硬件电路设计及PCB 布线设计注意事项；
7. 封装说明，主要介绍GD32F1x0系列所包含的封装形式及命名。

该文档也满足了基于GD32F1x0系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

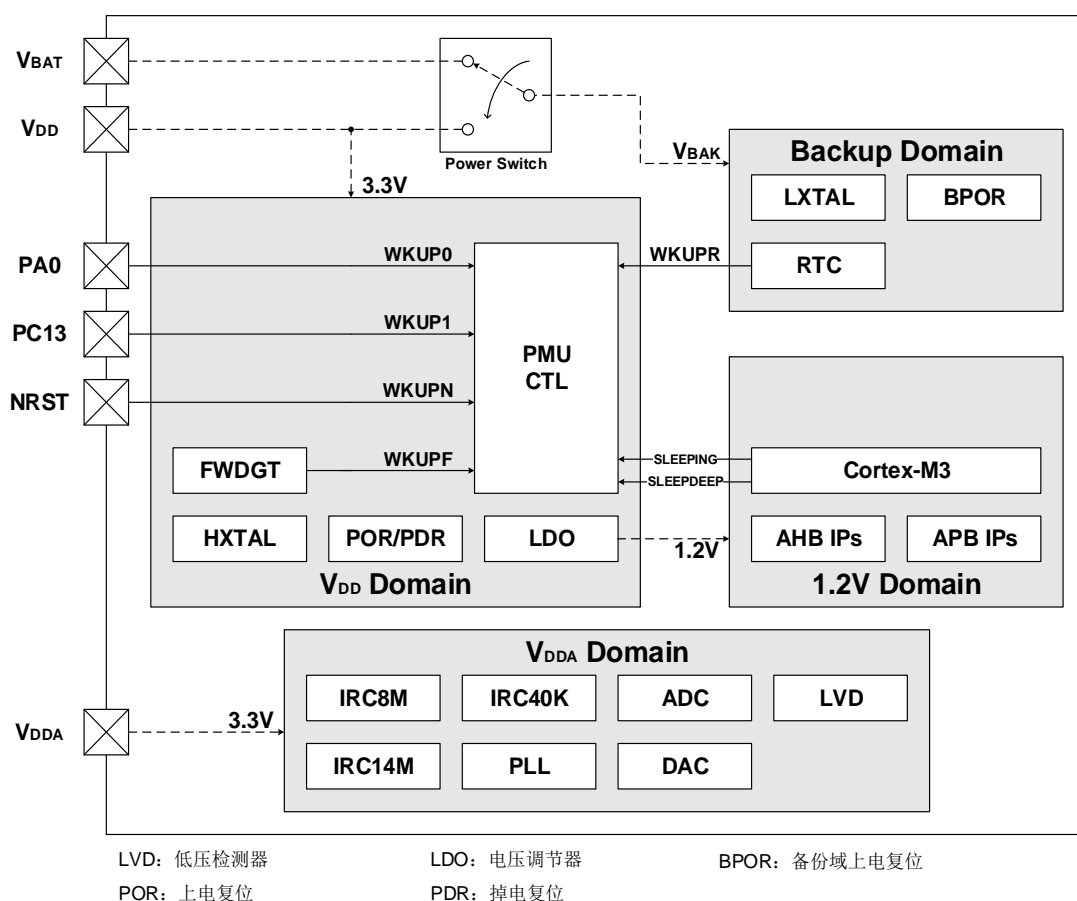
| 类型 | 型号 |
|-----|---------------|
| MCU | GD32F130xx 系列 |
| | GD32F150xx 系列 |

2. 硬件设计

2.1. 电源

GD32F130/GD32F150系列产品 V_{DD}/V_{DDA} 工作电压范围为2.6V~3.6V。如[图2-1. GD32F130和GD32F150系列电源域概览](#)所示，GD32F130/GD32F150系列设备有三个电源域，包括 V_{DD}/V_{DDA} 域，1.2V域和备份域。 V_{DD}/V_{DDA} 域由电源直接供电，且在 V_{DD}/V_{DDA} 域中嵌入了一个LDO，用来为1.2V域供电。备份域供电 V_{BAK} 可通过电源切换器切换由 V_{DD} 或 V_{BAT} 供电，当 V_{DD} 电源关闭时，电源切换器可以将备份域电源切换到 V_{BAT} 引脚，此时备份域由 V_{BAT} 引脚（电池）供电。

图 2-1. GD32F130 和 GD32F150 系列电源域概览



2.1.1. 备份域

GD32F130/GD32F150系列备份域供电电压范围为1.8V~3.6V。为了确保备份寄存器和RTC正常工作， V_{DD} 关闭时， V_{BAT} 管脚可以连接至电池或者是其他备份电源供电，但当 V_{DD} 接入后，即使 V_{BAT} 管脚由外部电池等供电， V_{BAK} 还是由 V_{DD} 供电。如果外部没有电池供电的应用，建议将 V_{BAT} 引脚通过100nF电容对地后接至 V_{DD} 引脚上。

注意：如果 V_{BAT} 管脚悬空，MCU上电后电源切换器开关会将 V_{BAK} 切到 V_{DD} 上去，直接由内

部VDD供电给备份域。

2.1.2. V_{DD}/V_{DDA} 电源域

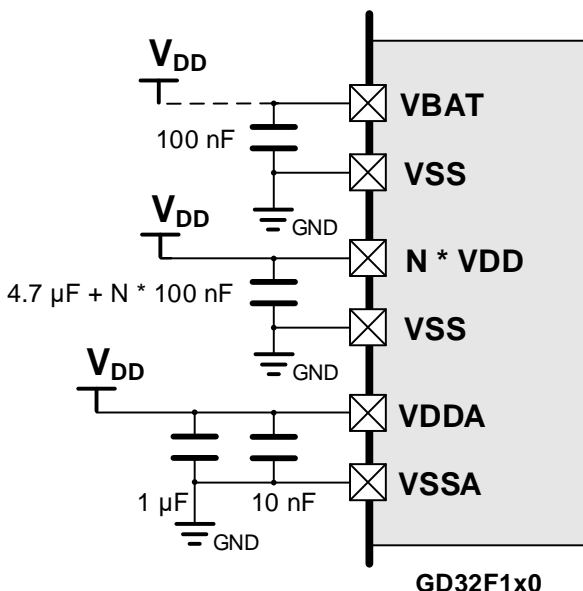
V_{DD}/V_{DDA} 电源域为除了备份域之外的所有区域供电，如果VDDA不等于VDD，要求两者之间的压差不能超过300mV（芯片内部VDDA与VDD通过背靠背二极管连接）。为避免噪声，VDDA可通过外部滤波电路连接至VDD，相应的VSSA通过特定电路（单点接地，通过0Ω电阻或者磁珠等）连接至VSS。

2.1.3. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- V_{DD} 脚必须外接电容（ $N \times 100\text{nF}$ 陶瓷电容+不小于 $4.7\mu\text{F}$ 钽电容，至少一个 V_{DD} 需要接不小于 $4.7\mu\text{F}$ 电容到GND，其他 V_{DD} 引脚接 100nF ）；
- VDDA脚必须外接电容（建议 $10\text{nF}+1\mu\text{F}$ 陶瓷电容）；
- VBAT引脚必须连接至外部电池（GD32F130/GD32F150外部电池电压范围为 $1.8\text{V} \sim 3.6\text{V}$ ），如果没有外部电池，建议将VBAT引脚通过 100nF 电容对地后接至VDD引脚上。

图 2-2. GD32F1x0 系列推荐供电设计



注意：

- 1、所有去耦电容须靠近芯片对应VDD、VDDA、VBAT引脚放置；
- 2、VBAT可选择直接连接至VDD，也可以根据实际应用连接至外部电池等。

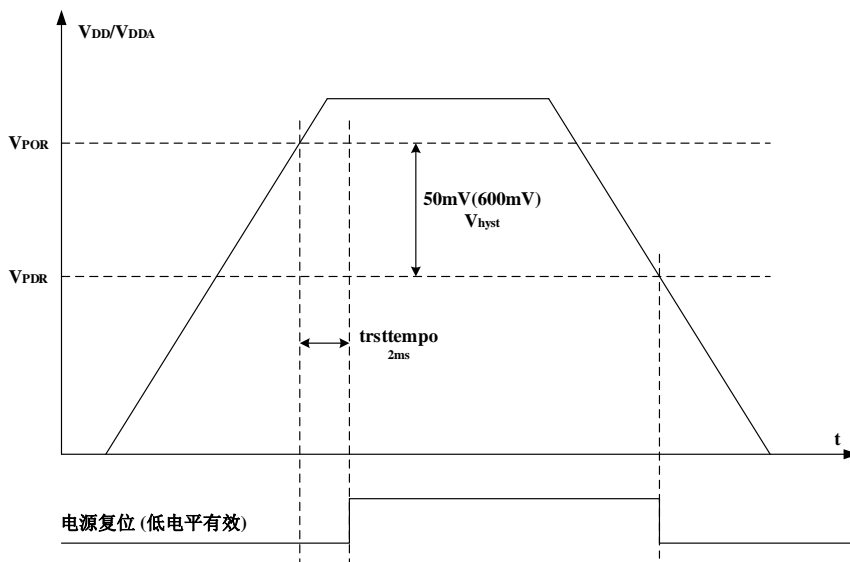
2.1.4. 复位及电源管理

GD32F1x0系列复位控制包括三种复位：电源复位、系统复位和备份域复位。电源复位为冷复位，电源启动时复位除了备份域的所有系统。电源和系统复位的过程中，NRST会维持一个低电平，直至复位结束。MCU无法执行起来时，可以通过示波器监测NRST管脚波形来判断芯片是

否有一直发生复位事件。

芯片内部集成 POR/ PDR（上电/掉电复位）电路，用于检测 V_{DD}/V_{DDA} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。 V_{POR} 表示上电复位的阈值电压， V_{PDR} 表示掉电复位的阈值电压。GD32F130/GD32F150 系列可通过向 RCU_VKEY 寄存器写 0x1A2B3C4D 后，再将 RCU_PDVSEL 寄存器对应 bit 位置 0（置 1）将 V_{PDR} 配置为 2.35V（1.8V）， V_{POR} 为 2.4V，迟滞电压 V_{hyst} 值约为 50mV（600mV）。

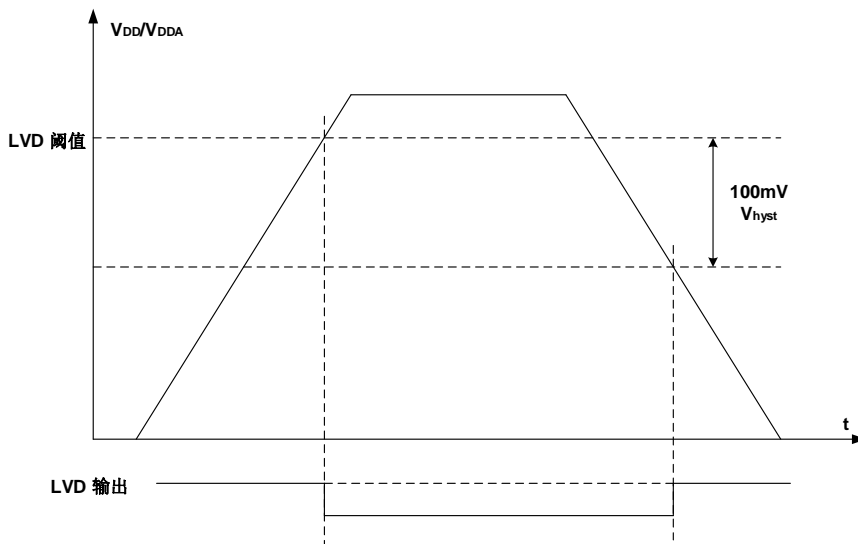
图2-3. 上电/掉电复位波形图



LVD 的功能是检测 V_{DD}/V_{DDA} 供电电压是否低于低电压检测阈值（GD32F130/GD32F150 系列产品范围为 2.2 V ~ 2.9 V），该阈值由电源控制寄存器（PMU_CTL）中的 LVDT[2:0]位进行配置。LVD 通过 LVDEN 置位使能，位于电源状态寄存器（PMU_CS）中的 LVDF 位表示低电压事件是否出现，该事件连接至 EXTI 的第 16 线，用户可以通过配置 EXTI 的第 16 线产生相应的中断。[图 2-4. LVD 阈值波形图](#)显示了 V_{DD}/V_{DDA} 供电电压和 LVD 输出信号的关系。（LVD 中断信号依赖于 EXTI 第 16 线的上升或下降沿配置）。迟滞电压 V_{hyst} 值为 100mV。

LVD 应用场合：当 MCU 电源受到外部干扰时，如发生电压跌落，我们可通过 LVD 设置低电压检测阈值（该阈值大于 PDR 值），一旦跌落到该阈值，LVD 中断被打开，可在中断函数里设置软复位等操作，避免 MCU 发生其他异常。

图2-4. LVD阈值波形图



另外，MCU复位源可以通过查询寄存器RCU_RSTSCK（0x40021024）来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-5. RCU_RSTSCK 寄存器

| | | | | | | | | | | | | | | | |
|---------------------|---|---|---------------------|---------------------------------------|---------------------|---------------------------------------|--------------------|----------------------|-----------------|-----------------|-----------------|-----------------|----------------------|----------------------|-----------------|
| 31 _r | 30 _r | 29 _r | 28 _r | 27 _r | 26 _r | 25 _r | 24 _r | 23 _r | 22 _r | 21 _r | 20 _r | 19 _r | 18 _r | 17 _r | 16 _r |
| LPRSTF _r | WWDGT _r RSTF _r | FWDGT _r RSTF _r | SWRSTF _r | PORRST _r F _r | EPRSTF _r | OBLRST _r F _r | RSTFC _r | V12RSTF _r | 保留 _r | | | | | | |
| r _w | r _w | r _w | r _w | r _w | r _w | r _w | r _w | r _w | . | . | . | . | . | . | . |
| 15 _r | 14 _r | 13 _r | 12 _r | 11 _r | 10 _r | 9 _r | 8 _r | 7 _r | 6 _r | 5 _r | 4 _r | 3 _r | 2 _r | 1 _r | 0 _r |
| 保留 _r | | | | | | | | | | | | | IRC40KS _r | IRC40KE _r | |
| | | | | | | | | | | | | | TB _r | N _r | |
| | | | | | | | | | | | | | r _w | r _w | |

MCU内部集成有上电/掉电复位电路，在设计外部复位电路时，NRST管脚必须要放置一个电容（典型值100nF），确保NRST管脚上电能产生一个至少20us的低脉冲延时，完成有效上电复位过程。

图2-6. 系统复位电路

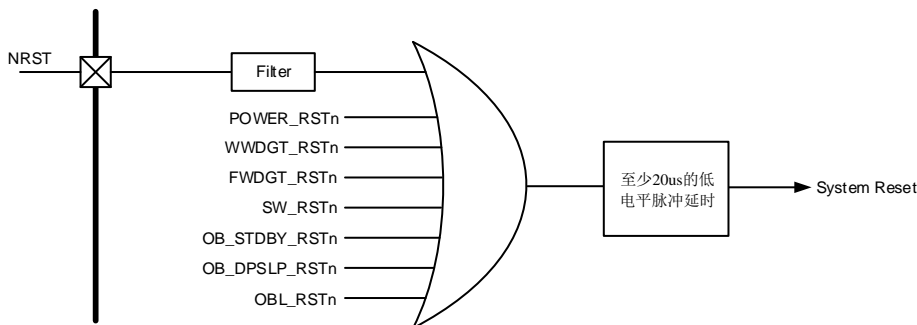
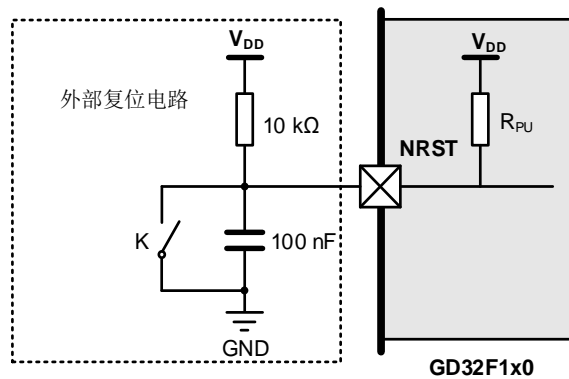


图 2-7. 推荐外部复位电路

**注意：**

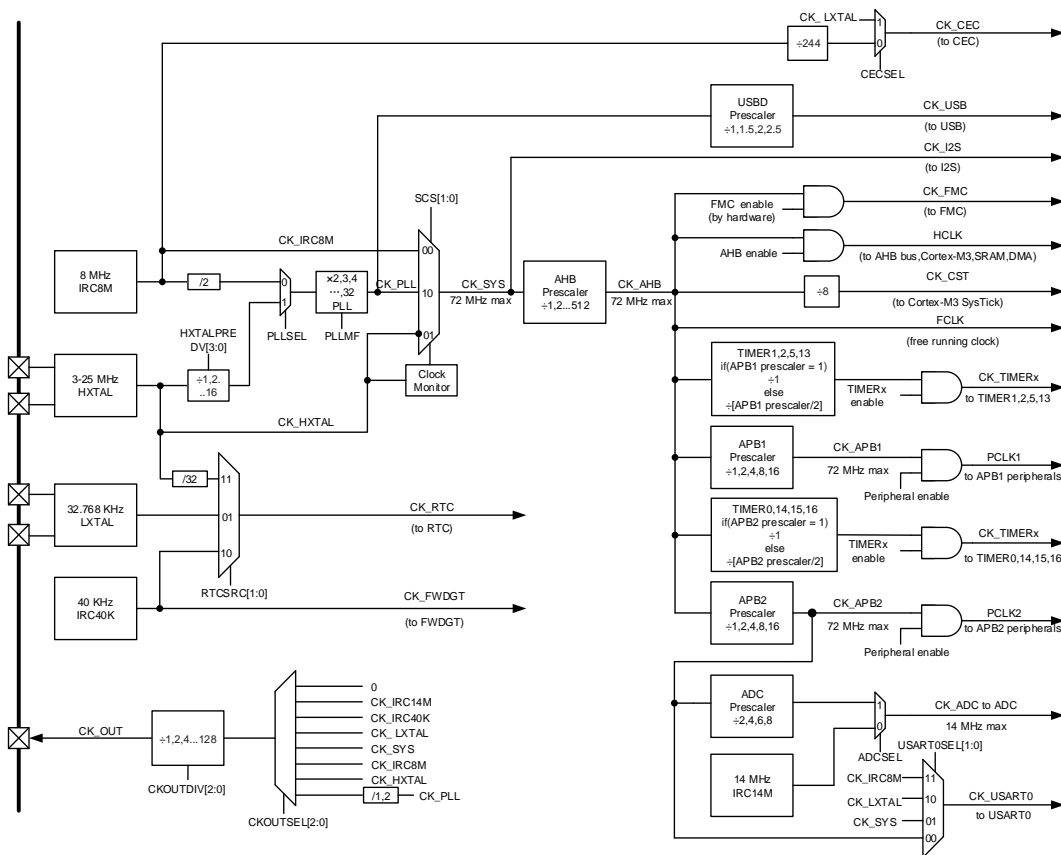
1. 内部上拉电阻 $R_{PU} = 40k\Omega$ ，建议接外部上拉电阻 $10k\Omega$ ，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在 NRST 管脚处放置 ESD 保护二极管；
3. 尽管 MCU 内部有硬件 POR 电路，仍推荐外部加 NRST 复位阻容电路；
4. 如果 MCU 启动异常（由于电压波动等），可适当增加 NRST 对地电容值，拉长 MCU 复位完成时间，避开上电异常时序区。

2.2. 时钟

GD32F1x0 系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 3-25 MHz 外部高速晶体振荡器（HXTAL）（GD32F130 和 GD32F150 产品）
- 14 MHz 内部高速 RC 振荡器（IRC14M）（GD32F130 和 GD32F150 产品）
- 32.768KHz 外部低速晶体振荡器（LXTAL）
- 40kHz 内部低速 RC 振荡器（IRC40K）
- PLL 时钟源可选 HXTAL 或 IRC8M
- HXTAL 时钟可监控

图 2-8. GD32F130 和 GD32F150 产品的时钟树



2.2.1. 外部高速晶体振荡时钟 (HXTAL)

外部高速晶体振荡器（无源晶体）可为系统提供精准的主时钟。该特定频率的晶体必须靠近 HXTAL 引脚放置，和晶体连接的外部电阻和匹配电容必须根据所选择的振荡器参数来调整。HXTAL 还可以使用旁路输入的模式来输入时钟源（1-50MHz 有源晶振等）。旁路输入时，信号接至 OSCIN，OSCOUT 保持悬空状态，软件上需要打开 HXTAL 的 Bypass 功能（使能 RCU_CTL 里的 HXTALBPS 位）。

图 2-9. HXTAL 外部晶体电路

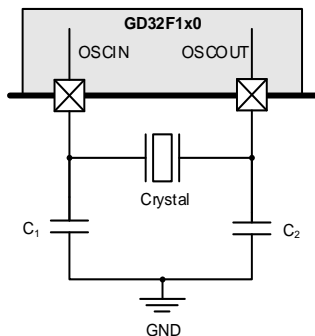
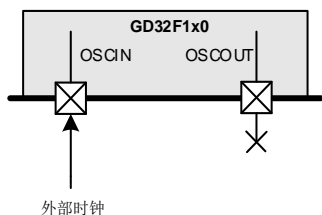


图 2-10. HXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从 OSCIN 输入，OSCOUT 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为 PCB 和 MCU 引脚的杂散电容，典型值为 10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚；
3. C_S 为 PCB 板走线及 IC 引脚上的寄生电容，当晶体离 MCU 越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离 MCU 较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联 1MΩ 电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部 IRC8M；
6. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 0.7V_{DD}，低电平不大于 0.3V_{DD}。如不打开 Bypass，对有源晶振的振幅幅值要求会大大降低。

2.2.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL 晶体是一个 32.768KHz 的低速外部晶体（无源晶体），能够为 RTC 提供一个低功耗且高精度的时钟源（48 脚以下封装型号没有 LXTAL 引脚）。MCU 的 RTC 模块相当于一个计数器，精度会受到晶体性能、匹配电容以及 PCB 材质等影响，如果想要获取到较好精度，在电路设计时，建议将 PC13 接至定时器输入捕获管脚，通过 TIMER 来对 LXTAL 进行校准，根据校准情况设定 RTC 的分频寄存器。LXTAL 也可以支持旁路时钟输入（有源晶振等），可以通过配置 RCU_BDCTL 里面的 LXTALBPS 位来使能。

图 2-11. LXTAL 外部晶体电路

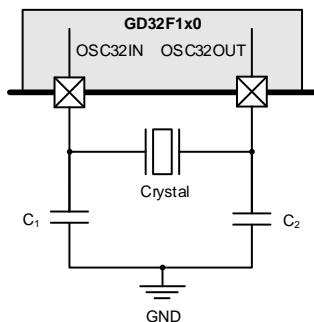
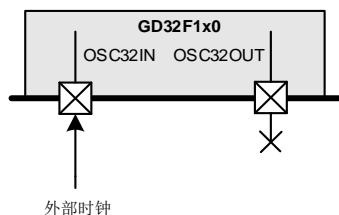


图 2-12. LXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从OSC32IN输入，OSC32OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_s)$ ，其中 C_s 为PCB和MCU引脚的杂散电容，经验值在2pF-7pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10pF即可，且PCB布线时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC40K作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源。

2.2.3. 时钟输出能力（CKOUT）

GD32F130/GD32F150系列MCU，可以通过配置时钟寄存器RCU_CFG0的CKOUT0SEL[2:0]位选择不同的时钟信号输出，相应的GPIO引脚PA8需要配置为复用功能来输出被选择的信号。

表 2-1. GD32F130/GD32F150 CKOUT0SEL[2:0]控制位

| 时钟源选择位 | 时钟源 |
|--------|-------------------|
| 000 | 无时钟 |
| 001 | CK_IRC14M |
| 010 | CK_IRC40K |
| 011 | CK_LXTAL |
| 100 | CK_SYS |
| 101 | CK_IRC8M |
| 110 | CK_HXTAL |
| 111 | CK_PLL 或 CK_PLL/2 |

2.2.4. HXTAL 时钟监视器（CKM）

设置时钟控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能需要在HXTAL启动延迟后使能，在HXTAL停止后禁止。一旦HXTAL故障，HXTAL将自动被禁止，时钟中断寄存器RCU_INT中的HXTAL时钟阻塞标志位CKMIF被置位，产生HXTAL故障事件。这个故障引发的中断和Arm® Cortex®-M3的不可屏蔽中断NMI相连。

注意：如果HXTAL被选作系统时钟、PLL或RTC时钟源，HXTAL故障将促使选择IRC8M为系统时钟源，PLL将被自动禁止，RTC的时钟源需要重新配置。

2.3. 启动配置

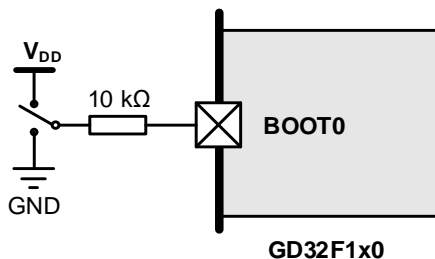
GD32F1x0系列提供三种启动方式，可以通过用户选项字节BOOT1_n位和BOOT0引脚进行选择来确定启动选项。电路设计时，运行用户程序，BOOT0引脚不能悬空，建议通过一个10kΩ电阻到GND；运行系统存储器进行程序更新，需要将BOOT0引脚接高，选项字节OB_USER[4]保持BOOT1_n为1（此时对应BOOT1位是0），更新完成后，再将BOOT0接低后上电才能运行用户程序；SRAM执行程序多用于调试状态下。

嵌入式的Bootloader存放在系统存储空间，用于对FLASH存储器进行重新编程。在GD32F1x0设备中，Bootloader可以通过USART0（PA9和PA10），USART1（PA2和PA3, PA14和PA15）和外界交互。

表 2-2. BOOT 模式

| BOOT 模式 | BOOT1 | BOOT0 |
|-------------|-------|-------|
| 主 FLASH 存储器 | X | 0 |
| 系统存储器 | 0 | 1 |
| 片上 SRAM | 1 | 1 |

图 2-13. 推荐 BOOT 电路设计



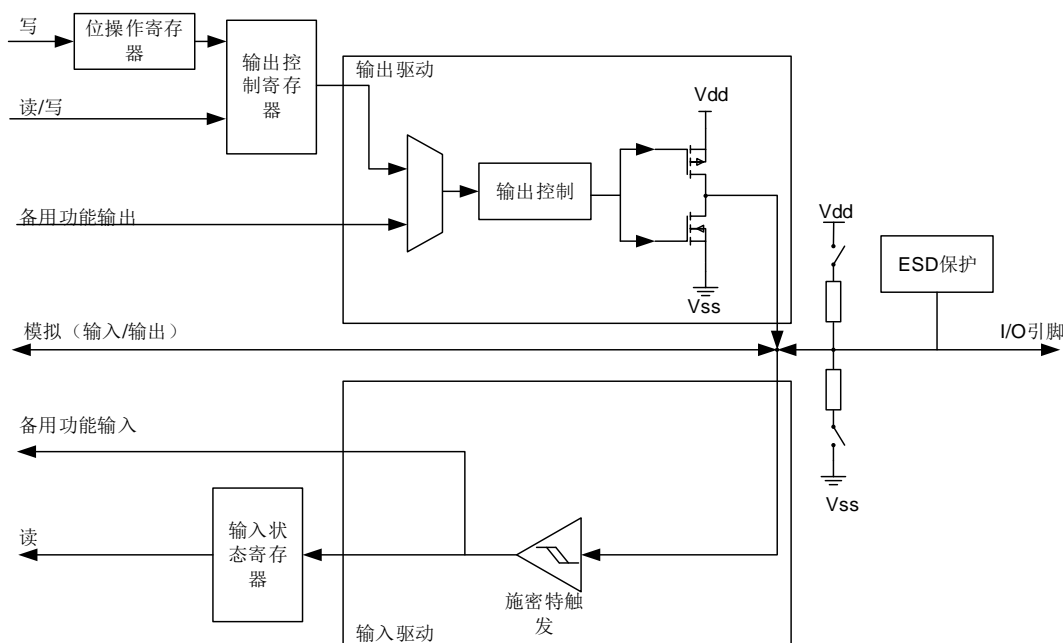
注意：MCU运行后，如果改变BOOT状态，须系统复位后才可生效。

2.4. 典型外设模块

2.4.1. GPIO 电路

GPIO接口最多支持55个通用输入/输出端口，每组端口提供最多16个通用输入/输出引脚，分别为PA0 ~ PA15, PB0 ~ PB15, PC0 ~ PC15, PD2, PF0, PF1, PF4 ~ PF7，每个引脚都可以通过寄存器独立配置，GPIO口的基本结构详见下图：

图 2-14. 标准 IO 的基本结构

**注意：**

1. GD32F130/GD32F150 系列 IO 口分为 5V 耐受和非 5V 耐受，使用时注意区分 IO 口耐压情况，详见 Datasheet；
2. 5V耐受的IO口直接5V时，建议IO口配置为开漏模式，外部上拉来工作；
3. IO口上电复位后，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；
4. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
5. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限（3mA左右），配置为输出模式时，其工作速度不能超过2MHz（最大负载为30pF）；
6. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式；
7. 非5V耐受IO，外接超过 V_{DD} 的电压时，可能会产生灌电流。

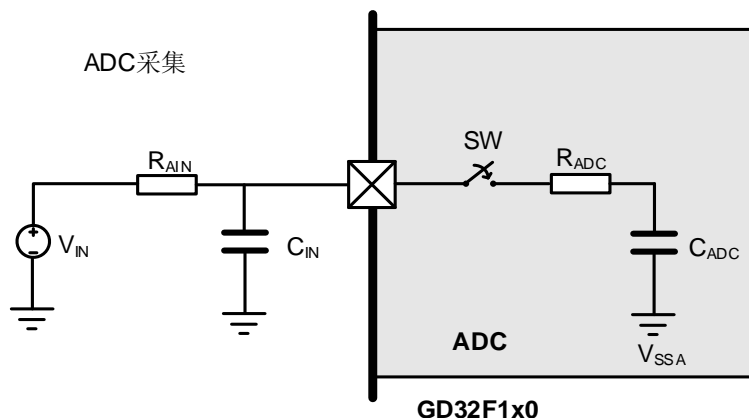
2.4.2. ADC 电路

GD32F1x0内部集成了一个12位的SARADC，它有多达19个通道，可测量16个外部和2个内部信号源及1个外部电池监测信号源。内部信号为温度传感器通道（ADC0_IN16），内部参考电压输入通道（ADC0_IN17），外部信号为外部监测电池 V_{BAT} 供电引脚输入通道（ADC0_IN18）。温度传感器体现的是温度的变化，并不适合测量绝对温度。如果需要测量精确的温度，必须使用一个外置的温度传感器。内部参考电压 V_{REFINT} 提供了一个稳定的电压输出（1.2V）给到ADC，并内部连接至ADC0_IN17。提供外部检测 V_{BAT} 引脚电池电压功能，其转换的值为 $V_{BAT}/2$ 。

如果在使用过程中，ADC采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部 V_{REFINT} 进行校准，反推外部采样电压。

设计ADC电路时，建议在ADC输入管脚处放置个小电容，建议放置一个500pF的小电容即可。

图 2-15. ADC 采集电路设计



GD32F130/GD32F150 系列 MCU 的 $f_{ADC} = 14\text{MHz}$ 时，输入阻抗和采样周期关系如下，为了获得较好的转换结果，使用过程中，建议尽量降低 f_{ADC} 的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。

表 2-3. $f_{ADC}=14\text{MHz}$ 采样周期与外部输入阻抗关系

| $T_s(\text{cycles})$ | $t_s(\mu\text{s})$ | $R_{AINmax}(\text{k}\Omega)$ |
|----------------------|--------------------|------------------------------|
| 1.5 | 0.11 | 0.14 |
| 7.5 | 0.54 | 1.5 |
| 13.5 | 0.96 | 2.9 |
| 28.5 | 2.04 | 6.3 |
| 41.5 | 2.96 | 9.3 |
| 55.5 | 3.96 | 12.5 |
| 71.5 | 5.11 | 16.2 |
| 239.5 | 17.11 | 54.8 |

2.4.3. DAC 电路

GD32F150 的数字/模拟转换器可以将 12 位的数字数据转换为外部引脚上的电压输出。数据可以采用 8 位或 12 位模式，左对齐或右对齐模式。当使能了外部触发，DMA 可被用于更新输入端数字数据。在输出电压时，可以利用 DAC 输出缓冲区来获得更高的驱动能力。

两个 DAC 可以独立或并发工作。

表 2-4. DAC 相关引脚描述

| 名称 | 注释 | 信号类型 |
|-----------|-----------|----------|
| V_{DDA} | 模拟电源 | 输入，模拟电源 |
| V_{SSA} | 模拟电源地 | 输入，模拟电源地 |
| DAC_OUTx | DACx 模拟输出 | 模拟输出信号 |

在使能 DAC 模块前，GPIO 口应配置为模拟模式。

对于 GD32F150 产品，仅有一路 DAC，其引脚为 PA4。

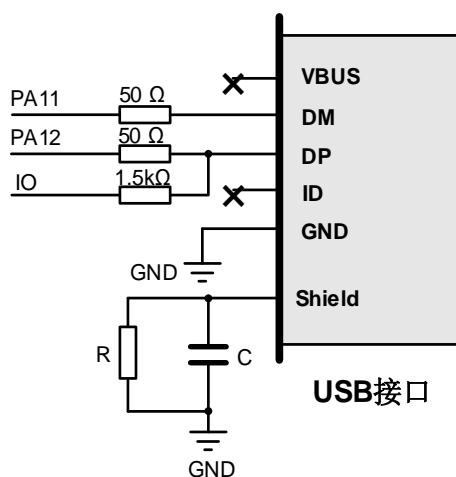
2.4.4. USB 电路

GD32F150系列MCU拥有内嵌的USB接口，其为一个USB D模块。USB协议要求时钟精度不低于500ppm，内部时钟可能无法达到这样的精度，所以建议使用USB功能时使用外部晶体或有源晶振做为USB模块时钟源。

GD32F150系列USB仅可设计为USB device模式，外部DP线须接1.5K上拉电阻。

在设计电路时，为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。

图 2-16. 推荐 USB-Device 参考电路

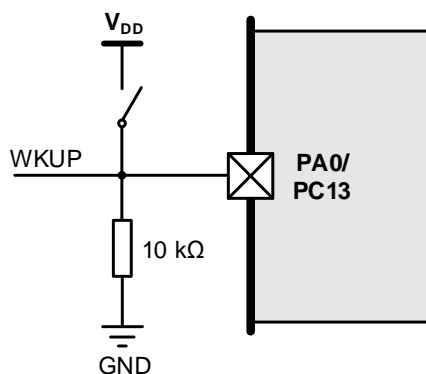


推荐：R = 1MΩ，C = 4700pF。

2.4.5. 待机模式唤醒电路

GD32F1x0系列支持三种低功耗模式，分别为睡眠模式，深度睡眠模式和待机模式，其中功耗最低的是待机模式，此低功耗模式需要的唤醒时间也是最长的。从待机模式唤醒可通过WKUP引脚上升沿唤醒，此时无需配置对应GPIO，仅需配置PMU_CS寄存器里的WUPENx位即可。WKUP唤醒引脚共有2个，参考电路设计如下：

图 2-17. 推荐待机外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，WKUP引脚至VDD间如果有串电阻，可能会增加额外的功耗。

2.5. 下载调试电路

GD32F1x0系列内核只支持SWD调试接口，不支持JTAG接口。SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

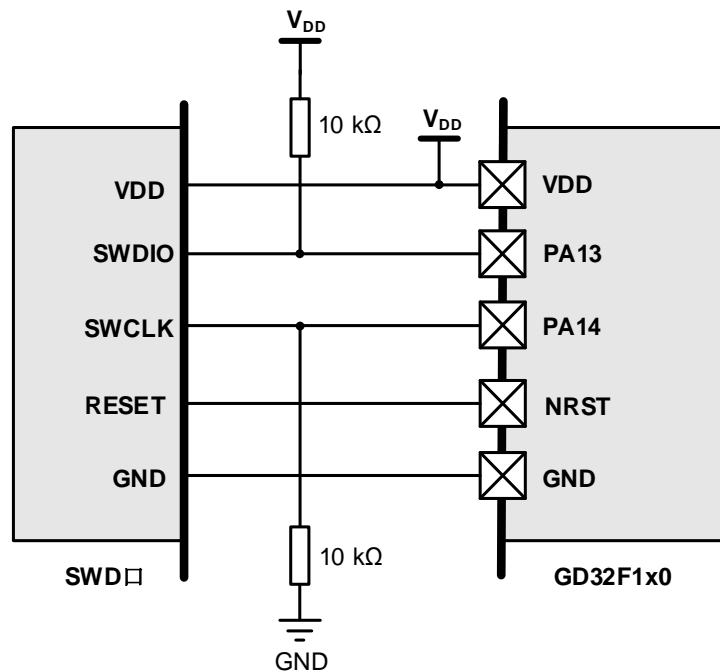
PA13: SWDIO为上拉模式；

PA14: SWCLK为下拉模式。

表 2-5. SWD 下载调试接口分配

| 备用功能 | GPIO 端口 |
|-------|---------|
| SWDIO | PA 13 |
| SWCLK | PA 14 |

图 2-18. 推荐 SWD 接线参考设计

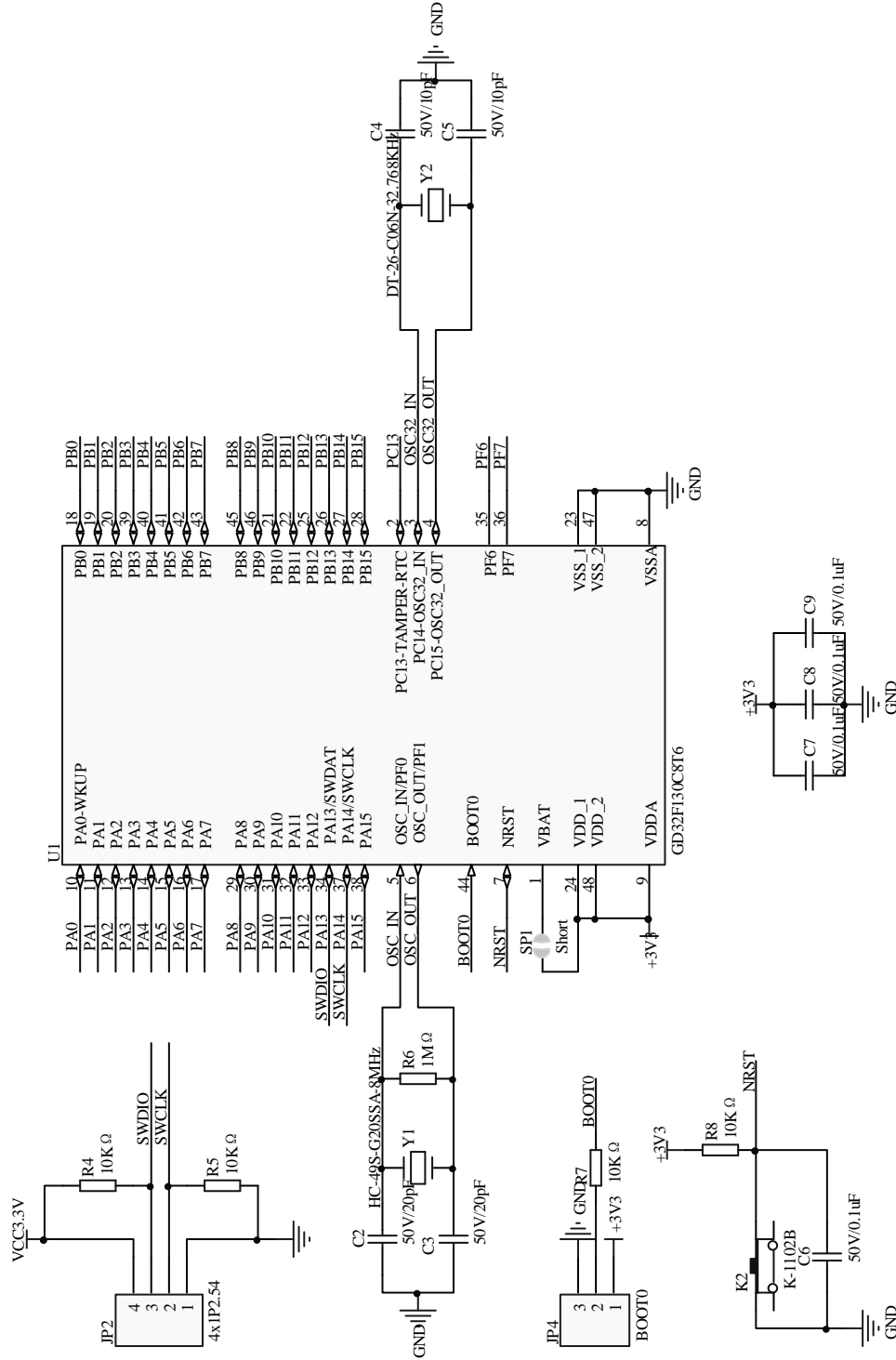


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15cm以内；
2. 将SWD两根线和GND线编个麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100Ω~1KΩ电阻。

2.6. 参考原理图设计

图 2-19. GD32F1x0 推荐参考原理图设计



3. PCB Layout 设计

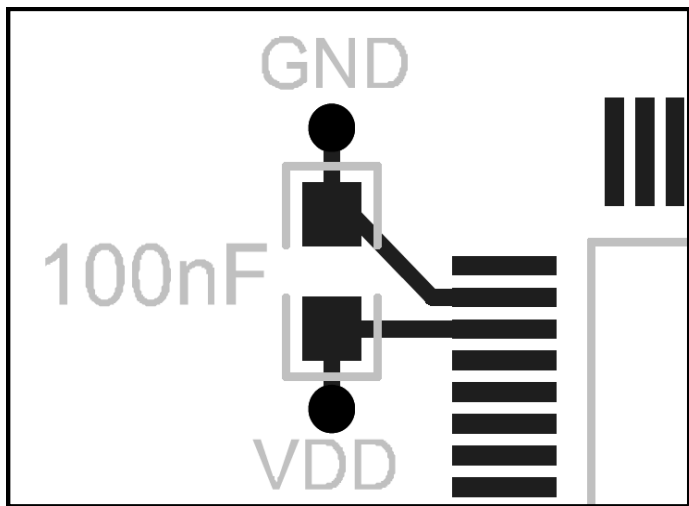
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32F1x0系列电源有VDD、VDDA和VBAT三个供电脚，100nF去耦电容采用陶瓷即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容焊盘处打孔的形式布线。

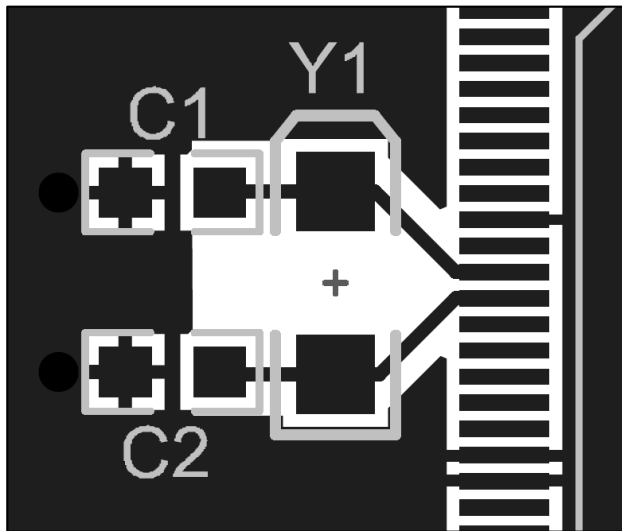
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32F1x0系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚布线设计（无源晶体）



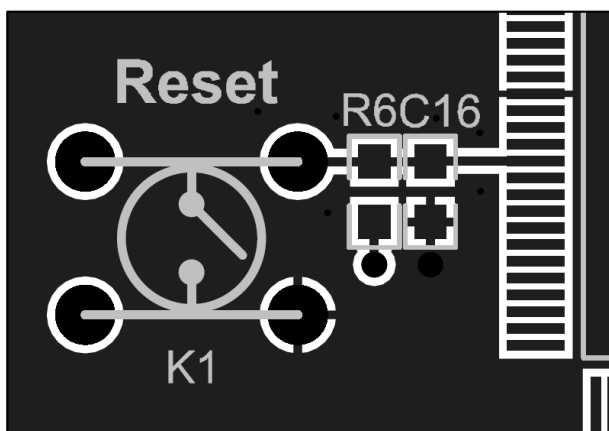
注意：

1. 晶体尽量靠近MCU时钟引脚，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST走线PCB Layout参考如下：

图 3-3. 推荐 NRST 走线 Layout 设计



注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

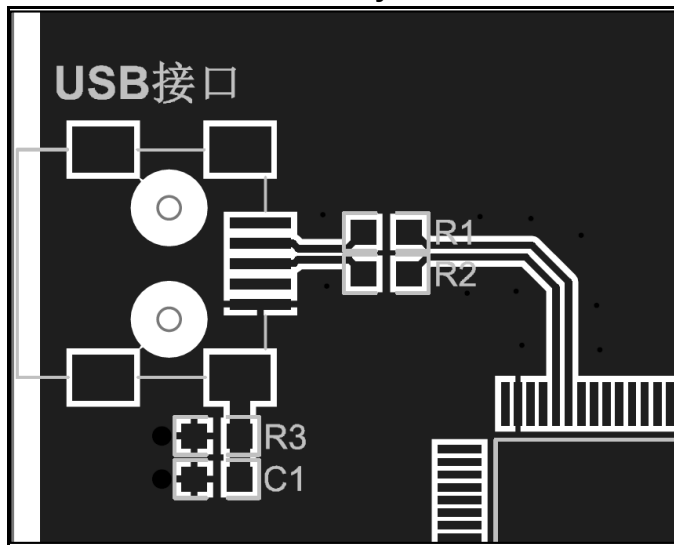
3.4. USB 电路

USB模块有DM、DP两根差分信号线，建议PCB走线要求做特性阻抗90ohm，差分走线严格按照等长等距规则来走，且尽量使走线最短，如果两条差分线不等长，可在终端用蛇形线补偿短线。

由于阻抗匹配考虑，串联匹配电阻建议50Ω左右即可。当USB终端接口离MCU较远的时候，需要适当增大该串联电阻值。

USB差分走线参考如下：

图 3-4. 推荐 USB 差分走线 Layout 设计



推荐：R1 = R2 = 50Ω，R3 = 1MΩ，C = 4700pF。

注意：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免90°、弧形或45°走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则。

4. 封装说明

GD32F130系列共有6种封装形式，分别为TSSOP20、QFN28、QFN32、LQFP32、LQFP48和LQFP64。

GD32F150系列共有4种封装形式，分别为QFN28、QFN32、LQFP48和LQFP64。

表 4-1. 封装型号说明

| 封装型号 | 封装 |
|----------------------------|------------------------------|
| GD32F130Fx P6 | TSSOP20(6.5x4.4, 0.65 pitch) |
| GD32F130Gx U6/GD32F150GxU6 | QFN28(4x4, 0.4 pitch) |
| GD32F130KxU6/GD32F150Kx U6 | QFN32(5x5, 0.5 pitch) |
| GD32F130KxT6 | LQFP32(7x7, 0.8 pitch) |
| GD32F1x0CxT6 | LQFP48(7x7, 0.5 pitch) |
| GD32F1x0RxT6 | LQFP64(10x10, 0.5 pitch) |

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

| 版本号. | 说明 | 日期 |
|------|------|----------------|
| 1.0 | 首次发布 | 2023 年 4 月 7 日 |

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.