

GigaDevice Semiconductor Inc.

GD32 MCU 硬件 Layout 设计参考

应用笔记

AN191

1.0 版本

(2024 年 10 月)

目录

目录.....	2
图索引	3
表索引	4
1. 前言.....	5
2. 设计端电磁干扰防护设计	6
3. PCB Layout 端电磁干扰防护设计	7
3.1. MCU 电源去耦电容的摆放	7
3.2. 静电等电磁干扰处防护器件的摆放.....	7
3.3. 时钟电路的布局	9
3.4. 信号回流以及隔离层问题	9
3.5. 地分割布局	12
3.6. PCB 板边注意事项	14
4. 版本历史	16

图索引

图 2-1. 静电等电磁干扰耦合路径.....	6
图 2-2. Display 防护电路	6
图 3-1. 推荐去耦电容组合	7
图 3-2. ESD/EMI/TVS PCB Layout 对比.....	8
图 3-3. 放电火花间隙.....	8
图 3-4. 减小布线产生的寄生电感.....	9
图 3-5. 推荐时钟 Layout 设计	9
图 3-6. 畅通的电流返回路径.....	10
图 3-7. 拥堵的信号回流路径.....	10
图 3-8. 返回路径的槽.....	11
图 3-9. 避免过孔导致的槽	11
图 3-10. 跨分割线的桥接	11
图 3-11. 信号回流中地的换层优化.....	12
图 3-12. 机架接到保护大地的地分割布局.....	13
图 3-13. 无外部机架连接保护地的布局	13
图 3-14. 接口局部分割地的布局	14
图 3-15. 板边信号线电磁场	14
图 3-16. 电源平面 20H 规则	15

表索引

表 4-1. 版本历史	16
-------------------	----

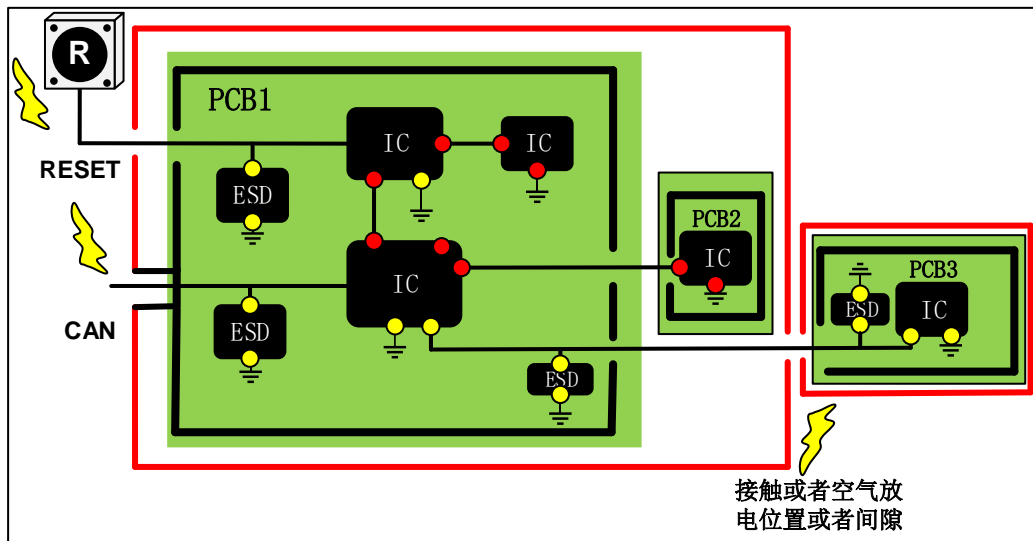
1. 前言

随着半导体工艺制程的缩小以及性能的提升，MCU 面临更加复杂的电磁环境。尤其在系统中 MCU 在直接或者间接遭受静电放电或者其它瞬态干扰时，可能会导致系统中 MCU 控制模块复位、死机、硬失效等各种问题，影响整个控制系统的正常工作。因此需要相关开发人员从设计端和 PCB Layout 端考虑到静电等电磁干扰问题，进一步的优化设计来降低甚至消除静电等电磁干扰对系统带来的影响。

2. 设计端电磁干扰防护设计

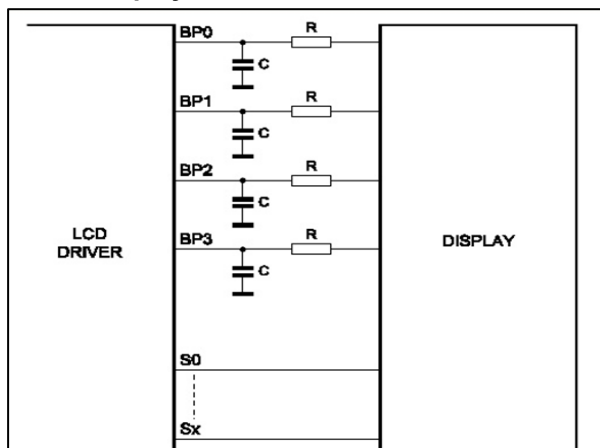
在系统设计时，开发人员需要考虑到系统哪些位置容易引入静电等电磁干扰，静电等电磁干扰可能会从哪些位置直接或者间接影响相关 IC 的引脚。如 [图 2-1. 静电等电磁干扰耦合路径](#) 所示，通常 PCB 板和板之间的连接位置，CAN 通讯端口、USB 端口、复位引脚引出端口等均可能会引入静电等电磁干扰，若是设计时对这些位置预留相关的 ESD 防护器件，可以有效的节省开发时效和增加系统板对 ESD 的鲁棒性。

图 2-1. 静电等电磁干扰耦合路径



在系统设计中时,像 CAN 通讯端口和 USB 端口等都能考虑到会有静电等电磁干扰的影响。但是有些如 LCD 液晶显示屏的驱动引脚、Reset 复位引脚或者 EN 使能引脚和 LED 流水灯的驱动控制引脚等也比较容易引入静电等电磁干扰，也需要进行电磁干扰防护设计。因为作为这些功能的引脚由于走线比较密集或走线较长，甚至通过排线在板子上引出，比较容易互相之间形成串扰或接收空间辐射进来的静电等电磁干扰。如 [图 2-2. Display 防护电路](#) 所示，像作为显示器驱动的引脚等类似走线密集和较长的引脚可以考虑在其走线设计上预留有 RC 滤波、TVS 等具有 ESD 防护功能的相关设计。关于 EMC 有关的硬件防护原理图相关设计可以参考《AN163 GD32 MCU 硬件防护设计参考》文档。

图 2-2. Display 防护电路



3. PCB Layout 端电磁干扰防护设计

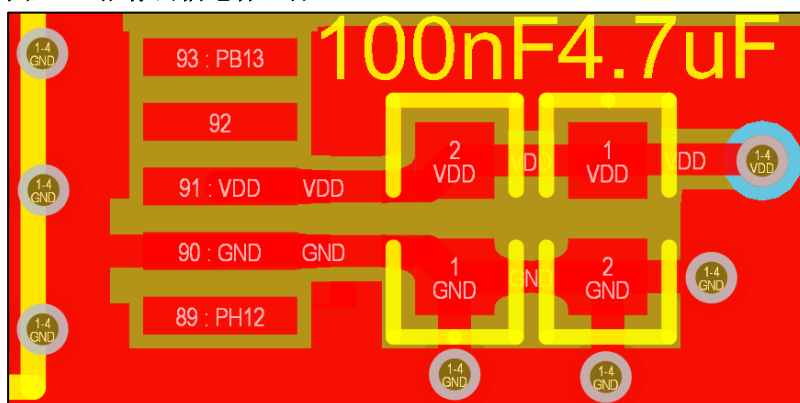
3.1. MCU 电源去耦电容的摆放

MCU 的每个电源引脚都应该放置至少一个去耦电容，一方面去耦电容可以稳定 MCU 的电源电压，即时供应电源电流，保证电源完整性，减小寄生阻抗；另一方面也可以提高信号完整性，抑制电磁噪声。去耦电容可以抑制 MCU 附近电源和 GND 的噪声产生的高频电流，同时去耦电容也可以抑制 MCU 内部因为 CMOS 开关器件等产生的高频电流，防止噪声沿电源线传到更远的地方。经过去耦电容的电流环路越小，产生的噪声量就越小，信号质量也会得到改善。因此，去耦电容应尽量靠近 IC 放置。

好的 MCU 电源去耦电容组合和 Layout 设计不仅可以增强 MCU 的信号质量，也可以保证其对外界干扰的抵抗能力。去耦电容的注意事项如下所示，关于去耦电路更详细的设计可以参考《AN058 去耦电路设计指南》文档。

- 推荐去耦电容组合。如 [图 3-1. 推荐去耦电容组合](#) 所示，建议在 GD MCU 的 VDD / VBAT 电源域每个引脚上面并 $4.7\mu\text{F} + N \times 100\text{nF}$ ，VDDA 电源域每个引脚并 $1\mu\text{F} + 10\text{nF}$ ；
- 去耦电容摆放应该离 MCU 越近越好，保证阻抗最低和环路最小的电流回路路径。当有多个去耦电容时，容值越小的电容离 MCU 越近，通常 10nF 最靠近 MCU 引脚，其次为 100nF ， $4.7\mu\text{F}$ 最靠外；
- 保证电源电流先流向电容，然后再流向 MCU。如果电源引脚和 GND 引脚的相聚较远，建议将电容摆放在靠近 GND 引脚位置，因为信号一般是以 GND 作为参考；
- 每个电容都应该有各自的过孔，严禁多个电容共用一个过孔。去耦电容与 MCU 引脚之间的走线应尽可能宽且短，以降低去耦电容与 MCU 电源引脚之间的阻抗。电源网络与去耦电容之间的走线应尽量窄和长，抑或使用 VIA 隔开，以提供高阻抗应对潜在的电源噪声和纹波。

图 3-1. 推荐去耦电容组合



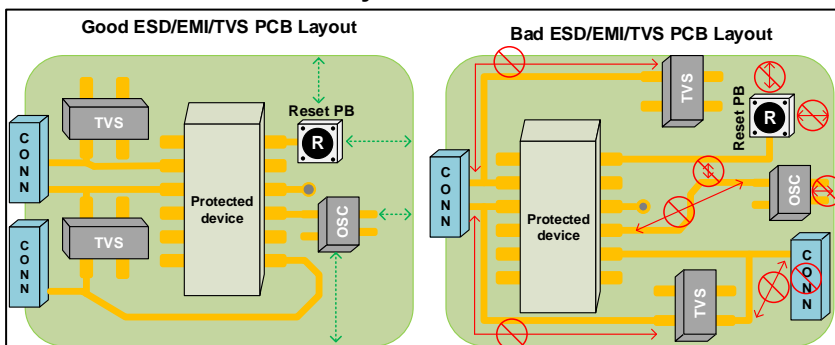
3.2. 静电等电磁干扰处防护器件的摆放

如下 [图 3-2. ESD/EMI/TVS PCB Layout 对比](#) 所示，为了保证系统运行不受到静电干扰或者其它的瞬态干扰，可以通过在干扰源头处增加 RC 滤波电路或者 TVS 等防护器件将静电

干扰或者其它瞬态干扰以最快和最小的阻抗路径泄放到地上。其中 TVS 或者电容等防护器件需要直接连接到干扰信号进入源头处信号线上，接地端要直接连接到地平面，避免 TVS 或者电容等防护器件与信号线以及接地之间走线连接过长，泄放路径阻抗较大，干扰仍通过信号线进入 IC 器件，导致其运行不正常甚至遭受破坏。

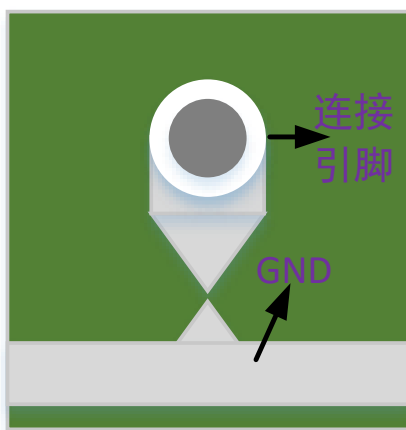
高速或易受影响的模拟/数字走线尽量远离 PCB 板的边缘。因为靠近板边缘的走线相关联的电场线和磁场线未受到良好控制，更容易接收到相关的电磁干扰和受到 ESD、EMI 和 EFT 事件的影响。同时如时钟晶振，复位等易受电磁干扰影响的元件/电路也应远离 PCB 边缘。

图 3-2. ESD/EMI/TVS PCB Layout 对比



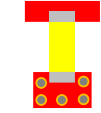
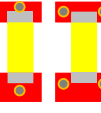
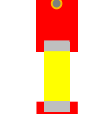
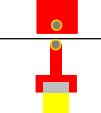
除了采用信号线串联电阻、并联压敏电阻、电容以及并联 TVS 二极管等方式抑制静电干扰外，还可以在 PCB 板上设计火花间隙来将静电干扰泄放到地上，如下 [图 3-3. 放电火花间隙](#) 所示，连接引脚放电火花尖头和 GND 放电处尖头之间的间隙通常为 0.1~0.6mm。其优点是节省一些防护器件，缺点是响应时间较长，泄放静电能量的大小取决于压力和温度，并可随时间变化。

图 3-3. 放电火花间隙



为了保证静电干扰或者其它的瞬态干扰能够以最快和最小的阻抗路径泄放到地上，防止较大干扰进入 IC 器件，推荐如下 [图 3-4. 减小布线产生的寄生电感](#) 所示的防护器件布局方式。

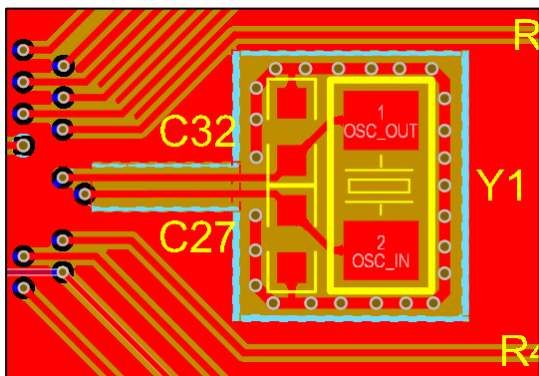
图 3-4. 减小布线产生的寄生电感

表现	电容或者TVS等防护器件Layout	说明
最佳		较短的路径和较多的地孔可以降低泄放电流路径阻抗
较好		较短的路径
一般		较长的路径增加泄放路径寄生电感
最差		较细的走线增加泄放路径寄生电感

3.3. 时钟电路的布局

时钟电路与器件应尽量放置在电路板的同一层，同时远离高速开关功率器件以及射频相关器件。另外，如下 [图 3-5. 推荐时钟 Layout 设计](#) 所示，将时钟电路尽可能靠近相应的时钟引脚，其走线距离不要超过 12mm。负载电容应靠近时钟晶体本身，位于电路板的同一层。晶体-电容器-集成电路的连接布线尽可能短。同时在时钟电路周围使用接地保护环，以将其与周围电路隔离。如果使用双层 PCB 电路板，请避免在电路板上时钟所在位置的背面有任何走线。如果使用多层 PCB 电路板，请避免在电路板上时钟所在位置的下一层有任何走线。

图 3-5. 推荐时钟 Layout 设计



3.4. 信号回流以及隔离层问题

当电流从信号的驱动端出发，经过信号线流入到信号的接收端，总有一个和它流入路径相反的返回电流，它从接收端负载的地引脚出发，经过地线或者覆铜地平面流回信号的驱动端处，它和流经信号线上的电流形成一个闭合环路。由于时钟信号和高速信号的频率较高，

特别容易受到电磁干扰和产生高频噪声。因此为了增强时钟和高速信号的抗干扰能力、降低其产生的辐射干扰和增强信号质量，需要确保所有时钟和高速信号走线都有一个完整的参考地平面或者拥有环路最小和最畅通的电流回路路径。如果有高速信号线并行走线，为了减少相邻信号线的串扰，在板子空间足够情况下，可以考虑 3W 规则，即信号线和信号线中心距离为信号线线宽的三倍。

如 [图 3-6. 畅通的电流返回路径](#)和 [图 3-7. 拥堵的信号回流路径](#)对比所示，在信号回流路径拥有较多的过孔会增大信号回流路径和增加损耗。

图 3-6. 畅通的电流返回路径

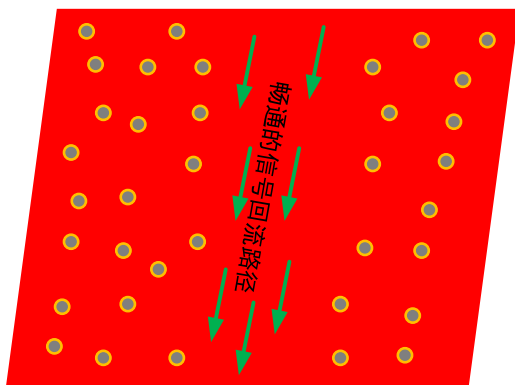
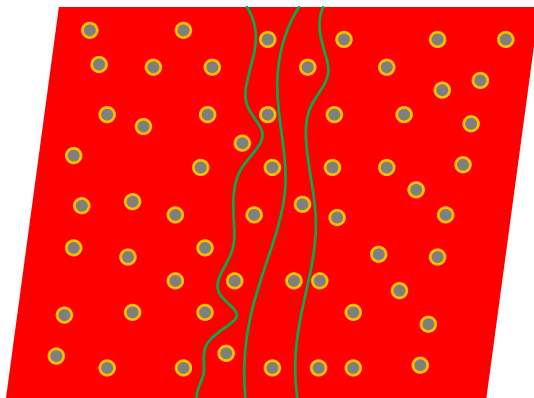


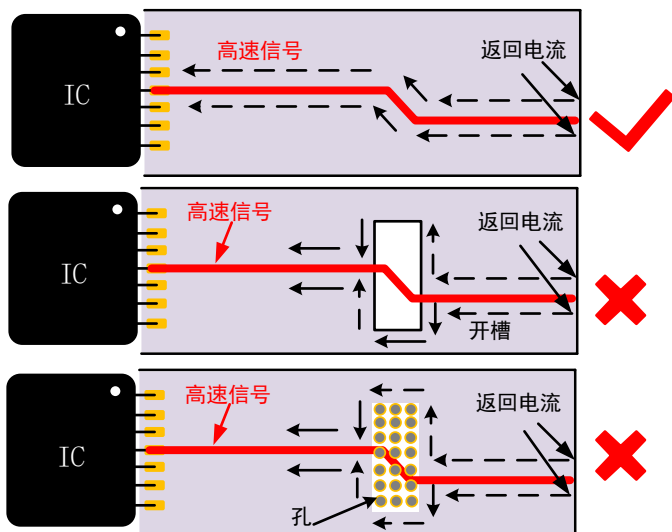
图 3-7. 拥堵的信号回流路径



高速数字信号或时钟的走线的长度要尽可能的短，因为承载高速数字信号和时钟的走线通常是最强的噪声源，这些走线越长，与电磁干扰相关能量耦合的机会就越多。同时对于高速数字信号或时钟的信号环路面积通常比走线长度更重要，确保每条走线附近都有良好的高频电流返回路径。如 [图 3-8. 返回路径的槽](#)所示，在时钟信号和高速信号的回流路径有槽会增加阻抗和损耗，也会充当天线吸收干扰。其中需要严格阻抗控制的高速信号线禁止跨分割走线，因为开槽导致其阻抗的不连续会带来严重的信号完整性问题。

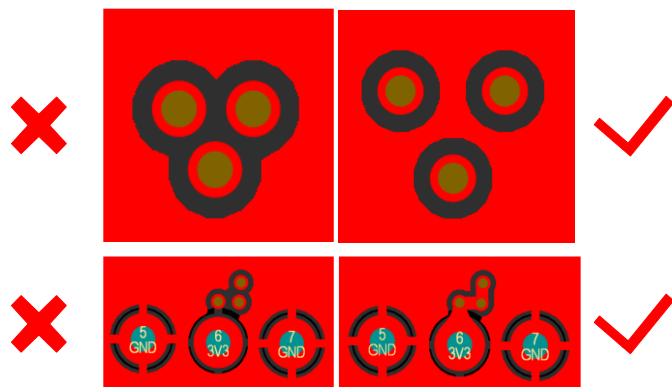
其实无论高速信号还是低速信号都需要尽量避免跨分割走线，跨分割走线会增大电流环路面积，加大环路电感，使得输出的波形更容易振荡。跨分割走线会增加空间的辐射干扰和容易受到空间磁场的影响。跨分割走线会加大板子其它电路产生磁场耦合的可能性，且增加的环路电感高频压降构成共模辐射源，并通过外界电缆产生辐射。

图 3-8. 返回路径的槽



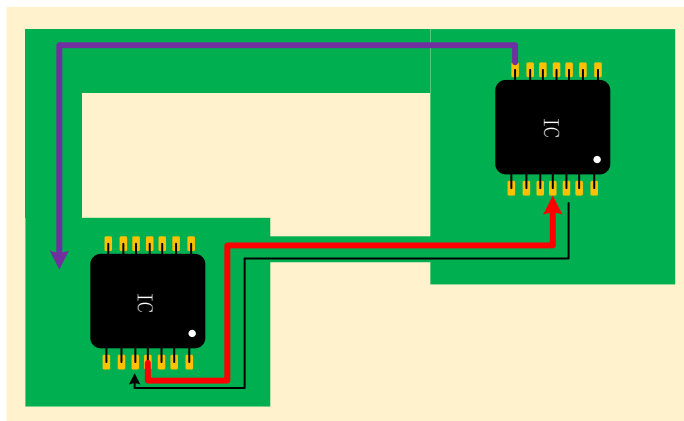
如 [图 3-9. 避免过孔导致的槽](#) 所示，应该尽量避免过孔导致的开槽。如果无法避免，可以连接过孔与走线或者拉开过孔距离等方法来减少槽面积。

图 3-9. 避免过孔导致的槽



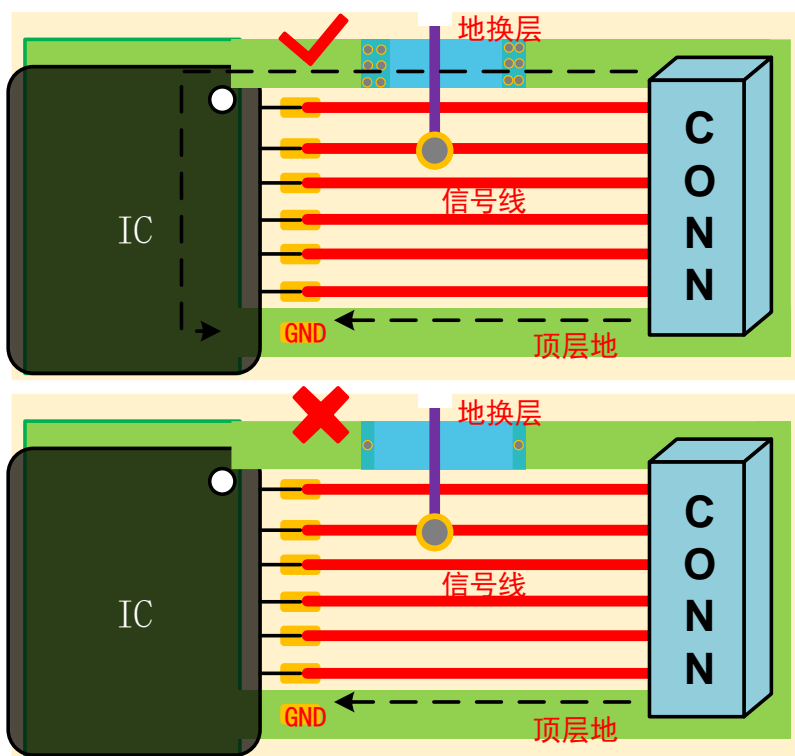
当信号线不能避免跨分割走线时候，需要进行有效的桥接，在沿着信号路径的方向将地平面对连接起来形成槽之间的“桥”，然后在该“桥”上布置该信号线。如下 [图 3-10. 跨分割线的桥接](#) 所示，其中红色线为信号电流，紫色线为没桥接时信号回流，黑色线为桥接时信号回流。

图 3-10. 跨分割线的桥接



如下 [图 3-11. 信号回流中地的换层优化](#) 所示，由于系统板无法提供一层完整的地平面，并且由于有信号线走在不同层，导致不可避免的铺铜地的换层。该 IC 较多的信号线电流回流依靠板子上下两个铺铜地的黑色虚线回流路径。由于高速信号以及高频噪声喜欢寻找阻抗最低的路径，该路径往往又是地平面上距离最短的路径。因此建议在地的换层处尽可能的加宽换层处的地平面和增加较多的过孔降低过孔换层产生的寄生电感，保证信号能有较多环路面积小的回流路径。如果地换层处的过孔较少，更多的高频信号和噪声全部通过板子另外一处地回流，会使得 IC 的信号质量变差甚至干扰到 IC 的正常运行。同样，在系统板设计中，如果信号无法保证有一层完整的地参考，要尽可能的保证到系统板的 IC 驱动端有较多的地回流路径，也要尽量保证信号的回流地路径有较小的环路面积和较低的阻抗。

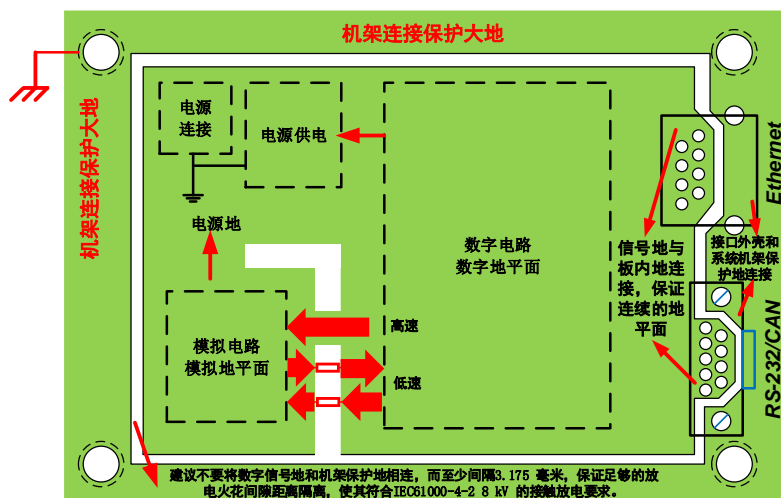
图 3-11. 信号回流中地的换层优化



3.5. 地分割布局

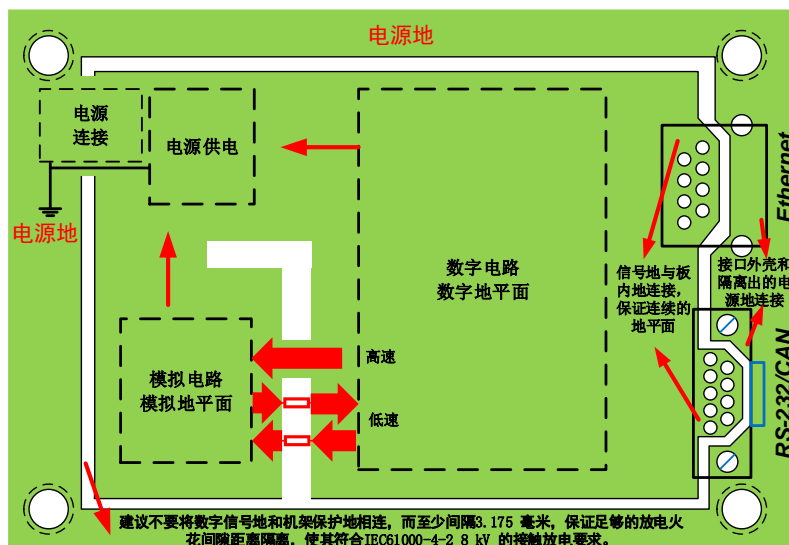
如下 [图 3-12. 机架接到保护大地的地分割布局](#) 所示，数字噪声电流通常远大于模拟电路的噪声电流，这里选择将模拟地和数字地平面分割，接地面分割来保证模拟电路远离数字噪声电流。同时这里将电源电路放在模拟电路和数字电路之间而不是电源电路放在模拟电路一侧或者数字电路一侧，保证模拟电路地和数字电路地分别单独到达电源，保证模拟电路远离数字噪声和电流。这里可以把 USB、以太网、RS232 等连接器内部包含地在内的信号接口放置在板子内部信号地上，保证连接器接口信号的连续地平面。把 USB、以太网、RS232 等连接器接口外壳连接到机架保护地，机架保护地和板子内部信号地之间至少间隔 3.175mm 以上，保证足够的放电火花间隙。这样连接器接口外壳上的静电干扰或者其它瞬态干扰能够释放到机架保护大地中而不是干扰到板子内部信号地。

图 3-12. 机架接到保护大地的地分割布局



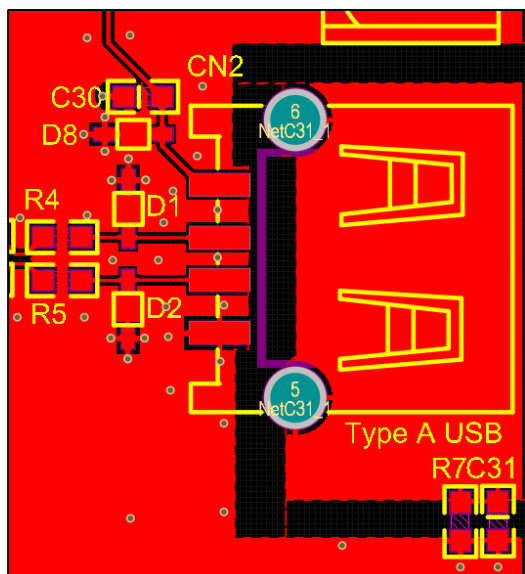
如下 [图 3-13. 无外部机架连接保护地的布局](#) 所示, 对于系统板没有可用的连接大地的机架时, 这里仍然可以采用隔离层方式隔离地, 并将电源地放置距离内部电路和其它平面电路阻抗最低的点。这里可以把 USB、以太网、RS232 等连接器内部包含地在内的信号接口放置在板子内部信号地上, 保证连接器接口信号的连续地平面。把 USB、以太网、RS232 等连接器接口外壳连接到隔离层隔离出的地上。这种布局方式可以保证连接器接口外壳上的静电干扰或者其它瞬态干扰能够通过电源地耗散到市电中。

图 3-13. 无外部机架连接保护地的布局



如下 [图 3-14. 接口局部分割地的布局](#) 所示, 对于系统板由于空间利用等原因无法进行电源处地和接口处地做隔离层连通隔离时, 这里可以把 USB、以太网、RS232 等连接器接口外壳处做隔离层, 隔离出局部的地, 然后把该外壳屏蔽层地通过 RC 阻容方式或者通过磁珠连接到系统板内部的地上。这种布局方式可以保证接口屏蔽层上的静电火花不会飞到系统板内部地上, 也可以让连接器接口外壳上的静电干扰或者其它瞬态干扰经过衰减抑制后进入系统板内部信号地。

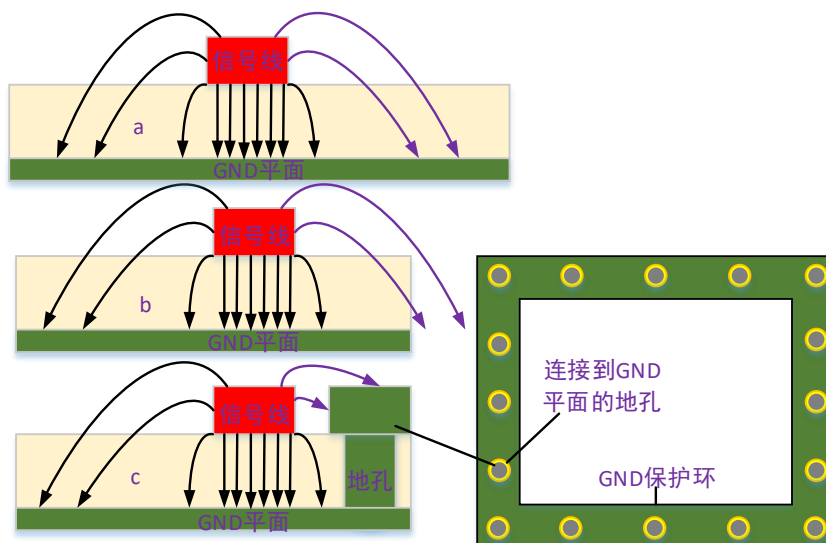
图 3-14. 接口局部分割地的布局



3.6. PCB 板边注意事项

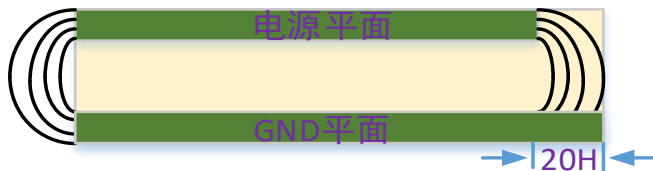
靠近板边缘的走线相关联的电场线和磁场线未受到良好控制，不仅容易产生电磁辐射，而且更容易接收到相关的电磁干扰和受到 ESD、EMI 和 EFT 事件的影响。因此关键的时钟信号线、时钟电路、复位信号线和 Vcore 内核电源线等易受电磁干扰影响的电路以及相关走线应远离 PCB 边缘。如下图 3-15. 板边信号线电磁场中 a 图所示，在有相关参考地平面下，若信号线距离板边有足够的距离，其相关的大部分高频能量不会辐射到板外，同样也会降低 ESD、EMI 和 EFT 事件对信号线的影响。这里通常高速信号线距离板边距离为 $10H$ ， H 为信号线到参考地平面的距离。如下图 3-15. 板边信号线电磁场中 b 图所示，若信号线无法避免距离板边较近，可以在板边增加连接到地平面的过孔组成防护圈，如下图 3-15. 板边信号线电磁场中 c 图所示，其相邻过孔间距通常是板边缘信号线信号高频波长 λ 的 $1/10$ ，该防护圈目的是吸收辐射到 PCB 边缘的高频能量。

图 3-15. 板边信号线电磁场



如 [图 3-16. 电源平面 20H 规则](#) 的电路板左侧边缘示意图所示，对于多层板的电源平面，如果在电路板的边缘电源平面相对于 GND 平面没有内缩一定距离，电源将辐射出大部分的电磁场。如 [图 3-16. 电源平面 20H 规则](#) 的电路板右侧边缘示意所示，如果电源平面相对于地平面内缩 $20H$ 的距离，将会大大减少电源平面对板外的电磁场辐射，其中 H 为电源平面相对于参考地平面的距离。

图 3-16. 电源平面 20H 规则



4. 版本历史

表 4-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2024 年 10 月 17 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.