

**GigaDevice Semiconductor Inc.**

**I2C 噪声滤波器及相关保持时间和建立时间**

**应用笔记**

**AN181**

1.0 版本

(2024 年 10 月)

## 目录

目录.....	2
图索引.....	3
表索引.....	4
1. 前言.....	5
2. 噪声滤波器.....	6
3. I2C 时钟要求.....	7
4. 保持时间和建立时间.....	8
5. 版本历史.....	11

## 图索引

图 4-1. 数据保持时间.....	8
图 4-2. 数据建立时间.....	10

## 表索引

表 2-1. GD32H7xx 系列产品 I2C_CTL0 寄存器部分信息 .....	6
表 4-1. GD32H7xx 系列产品 I2C_TIMING 寄存器部分信息 .....	8
表 4-2. I2C 数据建立时间和数据保持时间规范 .....	9
表 5-1. 版本历史 .....	11

## 1. 前言

在 I2C 通信中，为了提升 I2C 信号质量，降低尖峰脉冲的干扰，在芯片内部 I2C 的外设输入上集成了噪声滤波器，包括 SCL 和 SDA 的输入。噪声滤波器可以分为模拟滤波器和数字滤波器，二者可根据实际需要，在 I2C 启用前进行配置。

集成了噪声滤波器的 I2C 数据保持时间和建立时间，与一般 I2C 的保持时间和建立时间不同。为了提高 I2C 通信质量，更好地设置数据建立时间和保持时间，针对集成了滤波器的 I2C，本文给出一些约束条件供参考。

## 2. 噪声滤波器

I2C 噪声滤波器，仅可在 I2C 启用前进行配置。I2C 在使用过程中，不能对噪声滤波器进行配置。模拟滤波器和数字滤波器在结构上，是串行关系。

模拟滤波器在快速和快速+模式下，对脉宽 50ns 以下的尖峰干扰脉冲，进行抑制。将 I2C\_CTL0 寄存器中 ANOFF 位置 1 时禁用模拟噪声滤波器，将 ANOFF 位清 0 时使能模拟噪声滤波器。

数字滤波器可以通过配置寄存器实现禁用、使能，并且选择抑制脉宽在 1 ~ 15 个 I2C 时钟周期的尖峰脉冲。可用 I2C\_CTL0 寄存器中 DNF[3:0]位来配置数字滤波器的禁用、使用及设置抑制脉宽。当数字滤波器使能时，SCL 和 SDA 电平保持稳定的时间大于设置的抑制脉宽，才会发生内部变化。

以 GD32H7xx 系列产品为例，对 I2C\_CTL0 寄存器中 SS, ANOFF 和 DNF[3:0]进行简单介绍。

表 2-1. GD32H7xx 系列产品 I2C\_CTL0 寄存器部分信息

位/位域	名称	描述
17	SS	在从机模式下数据未就绪时是否将 SCL 拉低。 软件置 1 和清 0。 0: 拉低 SCL 1: 不拉低 SCL <b>注意：</b> 在主机模式下，该位必须为 0。该位只能在 I2CEN=0 时被修改。
12	ANOFF	模拟噪声滤波器禁能 0: 模拟噪声滤波器使能。 1: 模拟噪声滤波器禁能。 <b>注意：</b> 该位只有在 I2C 禁用（I2CEN=0）时被配置。
11:08	DNF[3:0]	数字噪声滤波器 0000: 数字噪声滤波器禁能。 0001: 数字噪声滤波使能并且可以滤除脉宽宽度不大于 1 $t_{I2CCLK}$ 的尖峰。 1111: 数字噪声滤波使能并且可以滤除脉宽宽度不大于 15 $t_{I2CCLK}$ 的尖峰。 这些位只能在 I2C 禁能（I2CEN = 0）时修改。

### 3. I2C 时钟要求

在本文档中，有两种周期与频率容易混淆，一种是 I2C 中的 SCL 信号的周期与频率，一种是 I2C 所使用时钟信号的周期与频率，在阅读本文档时注意区分。

在芯片设计中，I2C 时钟信号可以由独立时钟提供，因此可以使 I2C 工作时不受 PCLK 时钟影响。

以 GD32H7xx 系列产品为例，基于芯片内部时钟设计，I2C 时钟（I2CCLK）可以从以下四个时钟源中选择：

- APB1 时钟 PCLK1（默认值）
- 锁相环（PLL2）
- 内部高速 64M RC 振荡器
- 内部低功耗 4M RC 振荡器

为了保证 I2C 有正确的数据保持时间和建立时间，确保正常通信，I2C 时钟周期 $t_{I2CCLK}$ 必须满足以下条件：

$$t_{I2CCLK} < (t_{LOW} - t_{filters}) / 4 \quad (3-1)$$

$$t_{I2CCLK} < t_{HIGH} \quad (3-2)$$

其中：

$t_{LOW}$ ：SCL 低电平时间

$t_{HIGH}$ ：SCL 高电平时间

$t_{filters}$ ：在使能滤波器时，表示模拟滤波器和数字滤波器产生的延时总和。模拟滤波器产生的延时最大值为 130ns（仅针对 GD32H7xx 系列产品），数字滤波器产生的延时为  $DNF[3:0] \times t_{I2CCLK}$ 。

PCLK 时钟周期 $t_{PCLK}$ 必须满足以下条件：

$$t_{PCLK} < 4/3 * t_{SCL} \quad (3-3)$$

其中：

$t_{PCLK}$ ：PCLK 周期

$t_{SCL}$ ：SCL 周期

**注意：**当 I2C 内核时钟信号由 PCLK 提供时，PCLK 必须符合 $t_{I2CCLK}$ 的条件：

## 4. 保持时间和建立时间

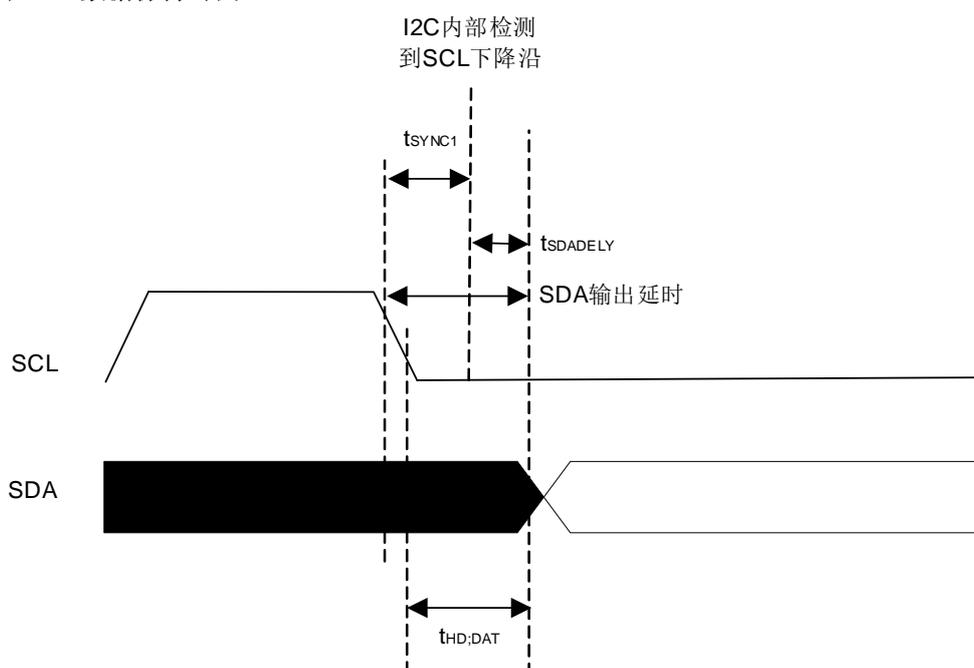
在 I2C 通信中，如果没有正确的建立时间和保持时间，都无法正常通信。I2C\_TIMING 寄存器中 PSC[3:0], SCLDELY[3:0]和 SDADELY[3:0]用于保证正确的数据保持时间和数据建立时间。以 GD32H7xx 系列产品为例，对 I2C\_TIMING 寄存器中 PSC[3:0], SCLDELY[3:0]和 SDADELY[3:0]进行简单介绍。同样的，在 I2C 使能前对时需进行配置，I2C 使能后不允许配置时序。

表 4-1. GD32H7xx 系列产品 I2C\_TIMING 寄存器部分信息

位/位域	名称	描述
31:28	PSC[3:0]	时序预分频 为了生成用于数据建立和数据保持的计数器的时钟周期 $t_{PSC}$ ，这些位用于配置 I2CCLK 时钟预分频。 $t_{PSC}$ 也用于 SCL 高电平和低电平计数器。 $t_{PSC}=(PSC+1)*t_{I2CCLK}$
23:20	SCLDELY[3:0]	数据建立时间 这些位用于在 SDA 边沿和 SCL 上升沿之间生成延时 $t_{SCLDELY}$ 。在主机模式下和在从机模式下 SS=0 时，在 $t_{SCLDELY}$ 期间 SCL 线被拉低。(主机模式下，SS 一定为 0；从机模式下，SS = 0 则拉低 SCL)。 $t_{SCLDELY}=(SCLDELY+1)*t_{PSC}$
19:16	SDADELY[3:0]	数据保持时间 这些位用于在 SCL 下降沿和 SDA 边沿之间生成延时 $t_{SDADELY}$ 。在主机模式下和在从机模式下 SS=0 时，在 $t_{SDADELY}$ 期间 SCL 线被拉低。 $t_{SDADELY}=SDADELY*t_{PSC}$

在 I2C 发送数据时，如果数据已经在 I2C\_TDATA 寄存器中，在经历 SDADELY 延时后，数据由 SDA 发送，如 [图 4-1. 数据保持时间](#)所示。

图 4-1. 数据保持时间



## I2C 噪声滤波器及相关保持时间和建立时间

上图中， $t_{\text{SYNC1}}$  是 I2C 内部 SCL 信号下降沿被完整检测到所需时间。 $t_{\text{SYNC1}}$  时长从 SCL 信号低于高电平最低电压( $V_{\text{IL}}$ )开始，到 I2C 内部检测到 SCL 整个下降沿——即 SCL 信号到低电平最高电压( $V_{\text{IH}}$ )——结束。

假设，高电平最低电压( $V_{\text{IL}}$ )为  $0.7V_{\text{DD}}$ ，低电平最高电压( $V_{\text{IH}}$ )为  $0.3V_{\text{DD}}$ ， $t_{\text{SYNC1}}$  计时从检测到 SCL 电压达到临界值开始，故  $t_{\text{SYNC1}}$  的时长从 SCL 电压低于  $0.7V_{\text{DD}}$  开始计时。但是因为 I2C 内部检测到 SCL 电压需要一点时间，故不能在 SCL 电压达到  $0.3V_{\text{DD}}$  时立即结束计时，而应该是 I2C 内部检测到 SCL 电压达到  $0.3V_{\text{DD}}$  时停止计时，即实际上 SCL 电压达到  $0.3V_{\text{DD}}$  之后的一点时间。 $t_{\text{SYNC1}}$  时长示意，如上图所示。

$t_{\text{SYNC1}}$  取决于 SCL 下降斜率、模拟滤波器延时、数字滤波器延时和 SCL 与 I2CCLK 时钟的同步延时共同决定。其中，SCL 与 I2CCLK 时钟的同步延时，一般为 2 到 3 个 I2CCLK 时钟周期。

当内部检测到 SCL 下降沿时，在 SDA 发送之前会插入一个延时。该延时为  $t_{\text{SDADELY}} = \text{SDADELY} * t_{\text{PSC}} + t_{\text{I2CCLK}}$ ，其中  $t_{\text{PSC}} = (\text{PSC} + 1) * t_{\text{I2CCLK}}$ 。 $t_{\text{SDADELY}}$  会影响  $t_{\text{HD;DAT}}$ 。SDA 输出总延时为  $t_{\text{SYNC1}} + \{[\text{SDADELY} * (\text{PSC} + 1) + 1] * t_{\text{I2CCLK}}\}$ 。

SDADELY 必须符合以下条件：

$$\text{SDADELY} \geq \{t_{\text{f}}(\text{max}) + t_{\text{HD;DAT}}(\text{min}) - t_{\text{AF}}(\text{min}) - [(\text{DNF} + 3) * t_{\text{I2CCLK}}]\} / [(\text{PSC} + 1) * t_{\text{I2CCLK}}] \quad (4-1)$$

满足上式，才能保证有足够的保持时间，确保接收端能完成数据接收。

$$\text{SDADELY} \leq \{t_{\text{HD;DAT}}(\text{max}) - t_{\text{AF}}(\text{max}) - [(\text{DNF} + 4) * t_{\text{I2CCLK}}]\} / [(\text{PSC} + 1) * t_{\text{I2CCLK}}] \quad (4-2)$$

满足上式，才能保证数据保持时间不会过长，从而降低通信速度，或者影响下一个周期的数据建立。

其中：

$t_{\text{AF}}$ ：为模拟滤波器抑制的尖峰脉冲的脉宽，也就是模拟滤波器延时。禁用模拟滤波器时，上式中  $t_{\text{AF}(\text{min})}$  和  $t_{\text{AF}(\text{max})}$  应去掉。

DNF：数字滤波器抑制尖峰脉冲的 I2C 时钟周期数，禁用数字滤波器时，DNF = 0。

**注意：** $t_{\text{AF}}$  为模拟滤波器延时， $t_{\text{HD;DAT}}$  必须小于  $t_{\text{VD;DAT}}$  的最大值，二者差值为 SDA 和 SCL 的跳变时间，即上升沿时间或下降沿时间。 $t_{\text{AF}}$  的取值范围可参考各芯片的 datasheet。

当 SDA 上升沿时，需要考虑上升时间，会进一步压缩 SDADELY 值，上述公式变成如下形式：

$$\text{SDADELY} \leq \{t_{\text{HD;DAT}}(\text{max}) - t_{\text{r}}(\text{max}) - t_{\text{AF}}(\text{max}) - [(\text{DNF} + 4) * t_{\text{I2CCLK}}]\} / [(\text{PSC} + 1) * t_{\text{I2CCLK}}] \quad (4-3)$$

以上式中， $t_{\text{f}}$ 、 $t_{\text{r}}$  和  $t_{\text{HD;DAT}}$  的相关信息，见 [表 4-2. I2C 数据建立时间和数据保持时间规范](#)。

**表 4-2. I2C 数据建立时间和数据保持时间规范**

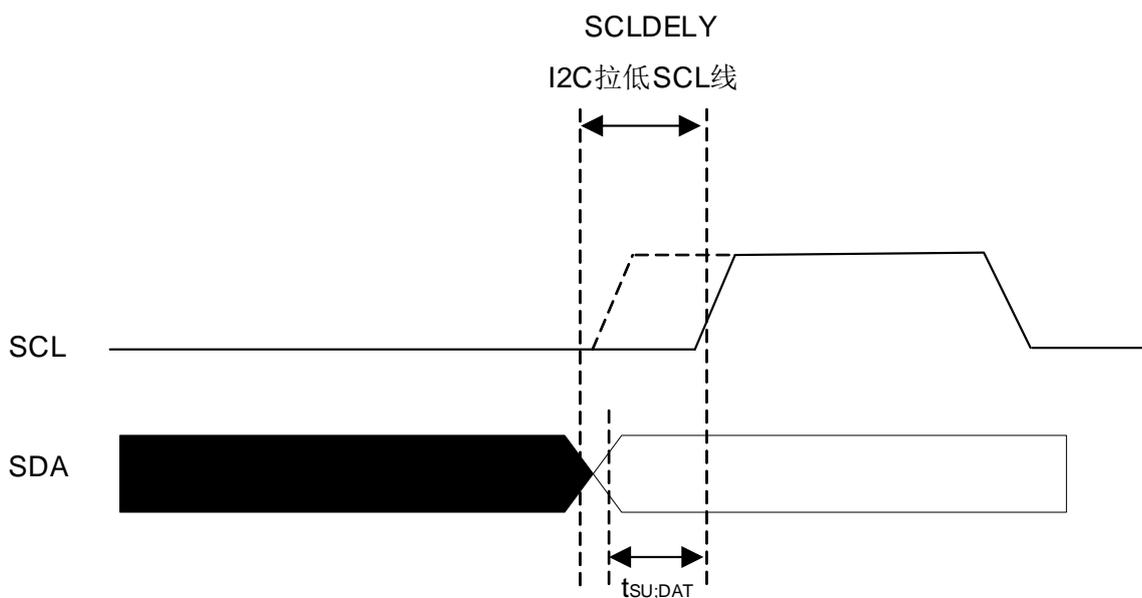
符号	参数	标准模式		快速模式		快速 + 模式		SMBus		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{\text{HD;DAT}}$	数据保持时间	0	-	0	-	0	-	0.3	-	us
$t_{\text{VD;DAT}}$	数据有效时间	-	3.45	-	0.9	-	0.45	-	-	
$t_{\text{SU;DAT}}$	数据建立时间	250	-	100	-	50	-	250	-	ns

## I2C 噪声滤波器及相关保持时间和建立时间

$t_r$	SCL 和 SDA 信号上升时间	-	1000	-	300	-	120	-	1000
$t_f$	SCL 和 SDA 信号下降时间	-	300	-	300	-	120	-	300

当数据经过 SDA 发送时，SCLDELY 计数器开启。如 [图 4-2. 数据建立时间](#) 所示。

图 4-2. 数据建立时间



当 SS=0 时，经过延时  $t_{SDADEL}$ ，在数据写入 I2C\_TDATA 寄存器之前，从机会拉低时钟线。在数据建立时间期间 SCL 保持低电平。数据建立时间  $t_{SCLDELY} = (SCLDELY + 1) * t_{PSC}$ 。  $t_{SCLDELY}$  影响  $t_{SU:DAT}$ 。

SCLDELY 必须符合以下条件：

$$SCLDELY \geq \lceil \frac{t_r(\max) + t_{SU:DAT}(\min)}{(PSC + 1) * t_{I2CCLK}} \rceil - 1 \quad (4-4)$$

以上式中， $t_r$  和  $t_{VD:DAT}$  的相关信息，见 [表 4-2. I2C 数据建立时间和数据保持时间规范](#)。

在主机模式下，SCL 时钟高低电平由 I2C\_TIMING 寄存器中 PSC[3:0]，SCLH[7:0] 和 SCLL[7:0] 控制。

当内部检测到 SCL 下降沿，在释放 SCL 输出之前会插入一个延时，该延时为  $t_{SCLL} = (SCLL + 1) * t_{PSC}$ ，其中  $t_{PSC} = (PSC + 1) * t_{I2CCLK}$ 。  $t_{SCLL}$  影响 SCL 低电平持续时间  $t_{LOW}$ 。

当内部检测到 SCL 上升沿，在将 SCL 拉低之前会插入一个延时，该延时为  $t_{SCLH} = (SCLH + 1) * t_{PSC}$ ，其中  $t_{PSC} = (PSC + 1) * t_{I2CCLK}$ 。  $t_{SCLH}$  影响 SCL 高电平持续时间  $t_{HIGH}$ 。

**注意：**时序配置和 SS 位在 I2C 外设使能时是不能改变的。

## 5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2024 年 10 月 17 日

## Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.