

GigaDevice Semiconductor Inc.

GD32G5x3 系列硬件开发指南

应用笔记

AN193

1.2 版本

(2025 年 2 月)

目录

目录.....	2
图索引.....	4
表索引.....	5
1. 前言.....	6
2. 硬件设计.....	7
2.1. 电源.....	7
2.1.1. 备份域.....	7
2.1.2. V _{DD} /V _{DDA} 电源域.....	8
2.1.3. VREF.....	9
2.1.4. 供电设计.....	9
2.2. 电源检测及复位.....	10
2.2.1. LVD.....	11
2.2.2. POR / PDR.....	12
2.2.3. BOR.....	12
2.2.4. NRST 引脚.....	13
2.3. 时钟.....	14
2.3.1. 外部高速晶体振荡时钟 (HXTAL).....	15
2.3.2. 外部低速晶体振荡时钟 (LXTAL).....	16
2.3.3. 时钟输出能力 (CKOUT).....	17
2.3.4. HXTAL 时钟监视器 (CKM).....	18
2.3.5. LXTAL 时钟监视器 (LCKM).....	18
2.4. 启动配置.....	19
2.5. 典型外设模块.....	20
2.5.1. GPIO 电路.....	20
2.5.2. ADC 电路.....	21
2.5.3. 内部温度传感器.....	22
2.5.4. DAC 电路.....	23
2.5.5. CMP 电路.....	23
2.5.6. HRTIMER.....	26
2.6. 低功耗模式.....	28
2.7. 下载调试电路.....	29
2.8. 参考原理图设计.....	31
3. PCB Layout 设计.....	32
3.1. 电源去耦电容.....	32

3.2. 时钟电路.....	32
3.3. 复位电路.....	33
3.4. WLCSP 封装的扇出.....	34
4. 封装说明	35
5. 版本历史	36

图索引

图 2-1. GD32G5x3 系列电源域概览	7
图 2-2. VREF 连接	9
图 2-3. GD32G5x3 系列推荐供电设计	10
图 2-4. RCU_RSTSCK 寄存器	11
图 2-5. 系统复位电路	11
图 2-6. LVD 阈值波形图	12
图 2-7. 上电 / 掉电复位波形图	12
图 2-8. BOR 波形图	13
图 2-9. 推荐外部复位电路	13
图 2-10. NRST 引脚上下电脉冲示意图	14
图 2-11. GD32G5x3 系列时钟树	15
图 2-12. HXTAL 外部晶体电路	16
图 2-13. HXTAL 外部时钟电路	16
图 2-14. LXTAL 外部晶体电路	17
图 2-15. LXTAL 外部时钟电路	17
图 2-16. 推荐 BOOT 电路设计	19
图 2-17. 标准 IO 的基本结构	20
图 2-18. ADC 采集电路设计	21
图 2-19. 比较器框图	24
图 2-20. 比较器迟滞	25
图 2-21. 比较器的输出消隐	26
图 2-22. HRTIMER 结构框图	26
图 2-23. 推荐 Standby 外部唤醒引脚电路设计	29
图 2-24. 推荐 JTAG 接线参考设计	30
图 2-25. 推荐 SWD 接线参考设计	30
图 2-26. GD32G5x3 推荐参考原理图设计	31
图 3-1. 推荐电源引脚去耦 Layout 设计	32
图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）	33
图 3-3. 推荐 NRST 走线 Layout 设计	33
图 3-4. WLCSP81 封装扇出	34

表索引

表 1-1. 适用产品	6
表 2-1. VDD / VDDA 工作电压范围	8
表 2-2. 时钟输出的时钟源选择	18
表 2-3. 低速时钟输出的时钟源选择	18
表 2-4. 引导模式选择	19
表 2-5. $f_{ADC} = 40 \text{ MHz}$ 采样周期与外部输入阻抗关系	21
表 2-6. DAC 触发与输出	23
表 2-7. CMP 的输入和输出	24
表 2-8. $f_{HRTIMER_CK} = 216 \text{ MHz}$ 的分辨率	27
表 2-9. 节电模式总结	28
表 2-10. JTAG 下载调试接口分配	29
表 2-11. SWD 下载调试接口分配	30
表 4-1. 封装型号说明	35
表 5-1. 版本历史	36

1. 前言

本文是专为基于Arm® Cortex®-M33架构的32位通用MCU GD32G5x3系列开发者提供的，对GD32G5x3系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32G5x3系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用开发指南总共分为八部分来讲述：

1. 电源，主要介绍GD32G5x3系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32G5x3系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32G5x3系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32G5x3系列主要功能模块硬件设计；
5. 低功耗模式，主要介绍GD32G5x3系列降低功耗的方案设计；
6. 下载调试电路，主要介绍GD32G5x3系列推荐典型下载调试电路；
7. 参考电路及PCB Layout设计，主要介绍GD32G5x3系列硬件电路设计及PCB Layout设计注意事项；
8. 封装说明，主要介绍GD32G5x3系列所包含的封装形式及命名。

该文档也满足了基于GD32G5x3系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

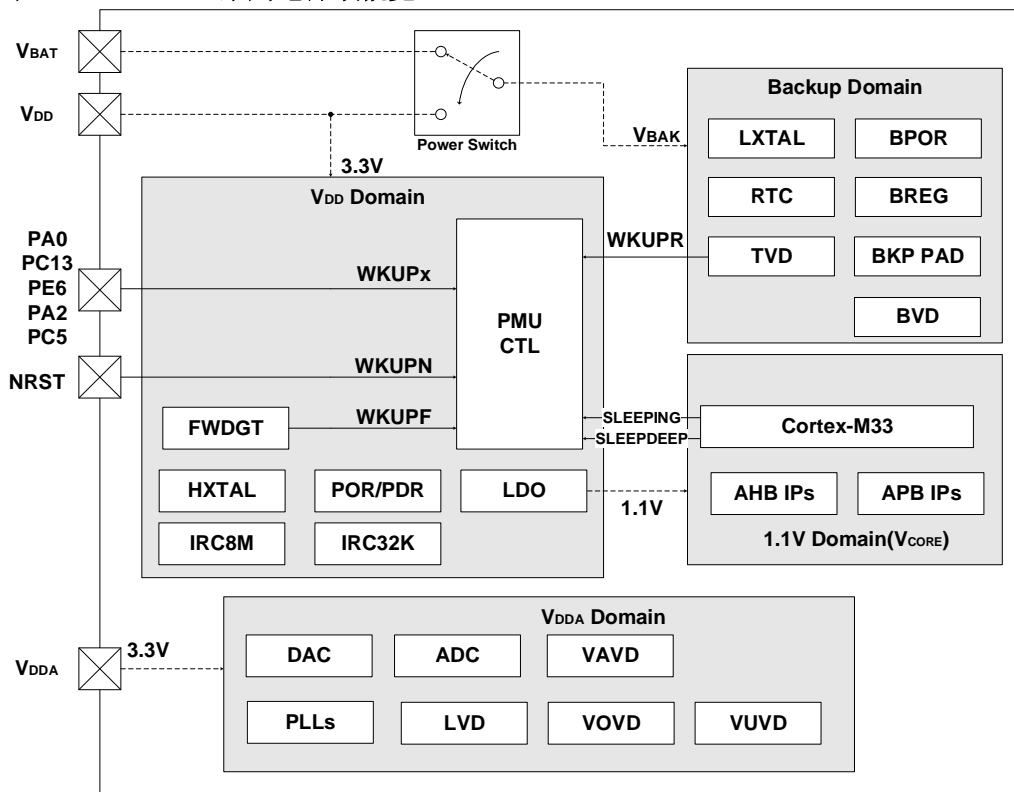
类型	型号
MCU	GD32G553xx系列

2. 硬件设计

2.1. 电源

GD32G5x3系列V_{DD}工作电压范围为1.71 V ~ 3.6 V。如[图2-1. GD32G5x3系列电源域概览](#)所示，GD32G5x3系列设备有三个电源域，包括V_{DD}/V_{DDA}域，1.1 V域和备份域。V_{DD}/V_{DDA}域由电源直接供电。GD32G5x3系列内嵌入了LDO，用来为1.1 V域供电。在备份域中有一个电源切换器，当V_{DD}电源关闭时，电源切换器可以将备份域的电源切换到V_{BAT}引脚，此时备份域由V_{BAT}引脚（电池）供电。

图2-1. GD32G5x3系列电源域概览



LVD: 低电压检测器	LDO: 电压调节器	BPOR: 备份域上电复位	VOVD: V _{1.1v} 过电压检测器
POR: 上电复位	PDR: 掉电复位	VAVD: 模拟电压检测器	VUVD: V _{1.1v} 欠电压检测器
BVD: V _{BAK} 电压检测器	BREG: 备份寄存器	TVD: 温度电压检测器	

2.1.1. 备份域

电池备份域由内部电源切换器来选择V_{DD}供电或V_{BAT}（电池）供电，然后由V_{BAK}为备份域供电，该备份域包含RTC（实时时钟）、LXTAL（低速外部晶体振荡器），BPOR（备份域上电复位）和BREG（备份寄存器），以及PC13至PC15共3个BKP PAD。为了确保备份域中寄存器的内容及RTC正常工作，当V_{DD}关闭时，V_{BAT}引脚可以连接至电池或其他备份电源供电。电源切换器是由V_{DD}/V_{DDA}域掉电复位电路控制的。对于没有外部电池的应用，建议将V_{BAT}引脚通过100 nF的外部陶瓷去耦电容连接到V_{DD}引脚上。

备份域的复位源包括备份域上电复位和备份域软件复位。在VBAK没有完全上电前，BPOR信号强制设备处于复位状态。应用软件可以通过设置RCU_BDCTL寄存器BKPRST位来触发备份域软件复位。

RTC的时钟源可以是低速内部32 kHz RC振荡器（IRC32K）或低速外部晶体振荡器（LXTAL），或由高速外部晶体振荡器（HXTAL）时钟32分频。当VDD被关闭时，RTC只能选择LXTAL作为时钟源。在通过WFI/WFE指令进入省电模式之前，Cortex®-M33能够通过RTC寄存器预期的唤醒时间并启用唤醒功能或者根据EXTI，以实现RTC定时器唤醒事件。进入省电模式一定时间之后，当经过的时间与预设的唤醒时间匹配时，RTC将唤醒设备。

当备份域由VDD供电（VBAK连接至VDD）时，以下功能可用：

- PC13可以作为通用I/O口或RTC功能引脚；
- PC14和PC15可以作为通用I/O口或LXTAL晶振引脚。

当备份域由VBAT电源供电时（VBAK连接至VBAT），以下功能可用：

- PC13仅可以作为RTC功能引脚；
- PC14和PC15仅可作为LXTAL晶振引脚。

注意：由于PC13至PC15引脚是通过电源切换器供电的，电源切换器仅可通过小电流，因此当PC13至PC15的GPIO口在输出模式时，其工作的速度不能超过2 MHz（最大负载为30 pF）。

VDD可以通过一个内部电阻给外部电池充电。通过配置PMU_CTL2寄存器中VCRSEL位，可以选择内部电阻5 kΩ或1.5 kΩ用于外部VBAT电池充电。将PMU_CTL2寄存器中VCEN位置1可以使能VBAT电池充电。在BKP only模式，VBAT电池充电不可用。

注意：在BKP only模式下，VDD掉电，备份域由VBAT引脚供电。

2.1.2. VDD / VDDA 电源域

VDD / VDDA电源域包括VDD域和VDDA域两部分。如果VDDA不等于VDD，要求两者之间的压差不能超过300 mV（芯片内部VDDA与VDD通过背靠背二极管连接）。为避免噪声，VDDA可通过外部滤波电路连接至VDD，相应的VSSA通过特定电路（单点接地，通过0 Ω电阻或者磁珠等）连接至VSS。VDDA工作电压范围会因ADC、DAC、VREF外设的特殊使用场景而要求不同，具体可见[表2-1. VDD / VDDA 工作电压范围](#)所示：

表 2-1. VDD / VDDA 工作电压范围

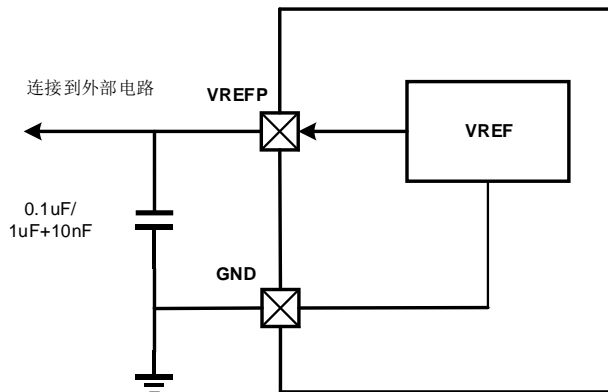
Symbol	Description	Conditions	Min	Max	Unit
V _{DD}	Supply voltage	—	1.71	3.6	V
V _{DDA}	Analog supply voltage	ADC used, f _{ADCMAX} = 50 MHz	1.71	3.6	V
		ADC used, f _{ADCMAX} = 80 MHz	2.4		
		DAC output buffer OFF, DAC_OUT Pin not connected (internal connection only)	1.71		
		DAC work in other mode	1.8		
		VREFBUF used	VREFP + 0.3		

为了提高ADC的转换精度，V_{DDA}独立供电可使模拟电路达到更好的特性。

2.1.3. VREF

GD32G5x3 在内部集成有专为 ADC 独立供电的 VREFP 引脚，可以使用外部参考电源，也可以使用直连至 V_{DDA} 引脚。除此之外，GD32G5x3 内部还集成了 VREF 模块，当该模块使能，可配置输出参考电压，可用于片内模拟电路的参考源，此参考电压也通过 VREFP 引脚对外输出，当使用精准的内部参考电压时，建议输出并联一个 0.1 uF（或 1 uF + 10 nF 并联）的旁路电容，且在软件中需比 ADC 先使能，如 [图 2-2. VREF 连接](#)。

图 2-2. VREF 连接

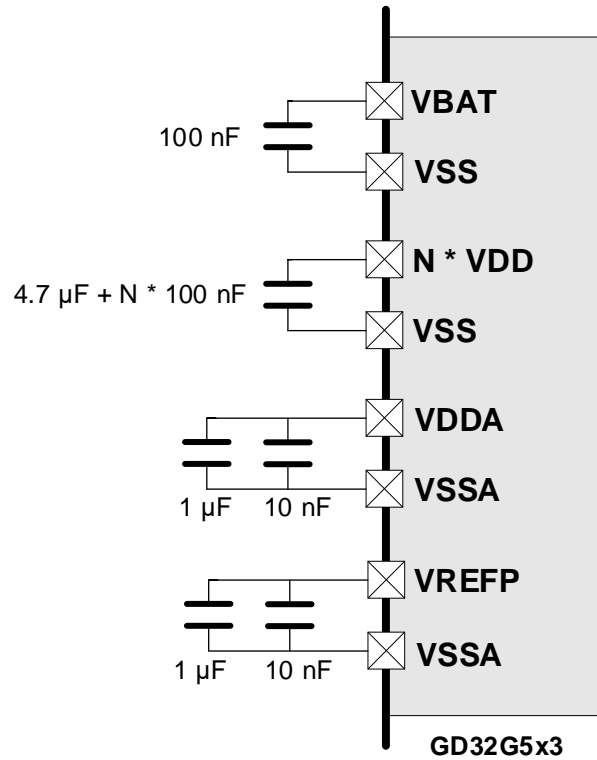


2.1.4. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- VDD脚必须外接电容（N * 100 nF陶瓷电容+不小于4.7 uF钽电容，至少一个VDD需要接不小于4.7 uF电容到GND，其他VDD引脚接100 nF）；
- VDDA脚必须外接电容（建议10 nF + 1 uF陶瓷电容）；
- VREFP引脚可由内部产生也可直连至VDDA，且在VREFP引脚对地连接10 nF + 1 uF陶瓷电容。

图 2-3. GD32G5x3 系列推荐供电设计

**注意：**

1. 所有去耦电容须靠近芯片对应VDD、VDDA、VBAT、VREFP引脚放置；
2. 当MCU电源电压不稳定，或有电压跌落等风险时，建议将VDD的4.7 uF电容调整为不低于10 uF的电容；
3. LQFP128: VREFN和VSSA在内部连接；
4. LQFP100: VREFN和VSSA在内部连接；
5. WLCSP81: VREFN和VSSA在内部连接；
6. LQFP80: VREFN和VSSA在内部连接；
7. LQFP64: VREFN和VSSA在内部连接；
8. LQFP48: VREFN和VSSA在内部连接；
9. QFN48: VSS / VSSA / VREFN在内部和EPAD连接。

2.2. 电源检测及复位

本节内容基于 B 版 GD32G5x3 系列芯片，且默认 VDD 与 VDDA 引脚保持连接，由同一电源供电。

GD32G5x3系列复位控制包括三种复位：电源复位、系统复位和备份域复位。电源复位为冷复位，电源启动时复位除了备份域的所有系统。系统复位将复位除了SW - DP控制器和备份域之外的其余部分，包括处理器内核和外设IP。备份域复位将复位备份区域。复位能够被外部信号、内部事件和复位发生器触发。

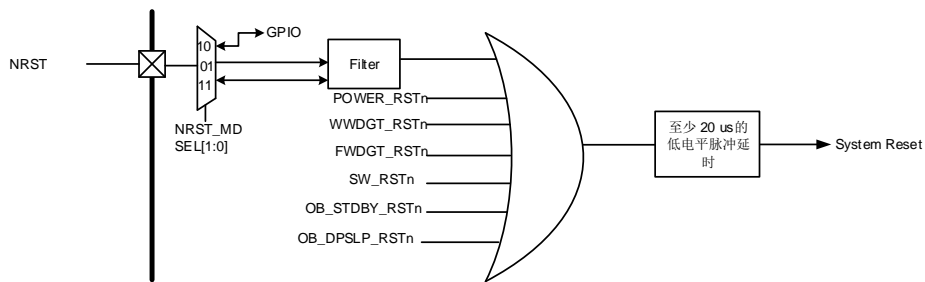
MCU复位源可以通过查询寄存器RCU_RSTSCK来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-4. RCU_RSTSCK 寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
LP RSTF	WWDGT RSTF	FWDGT RSTF	SW RSTF	POR RSTF	EP RSTF	BORRSTF	RSTFC	OBLRST	保留							
r	r	r	r	r	r	r	r	nw	r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
保留													IRC32K STB	IRC32KEN		
													r	nw		

MCU内部集成有上电/掉电复位电路，当产生复位时，系统复位脉冲发生器保证每一个复位源（外部或内部）都能有至少20 μs的低电平脉冲延时。

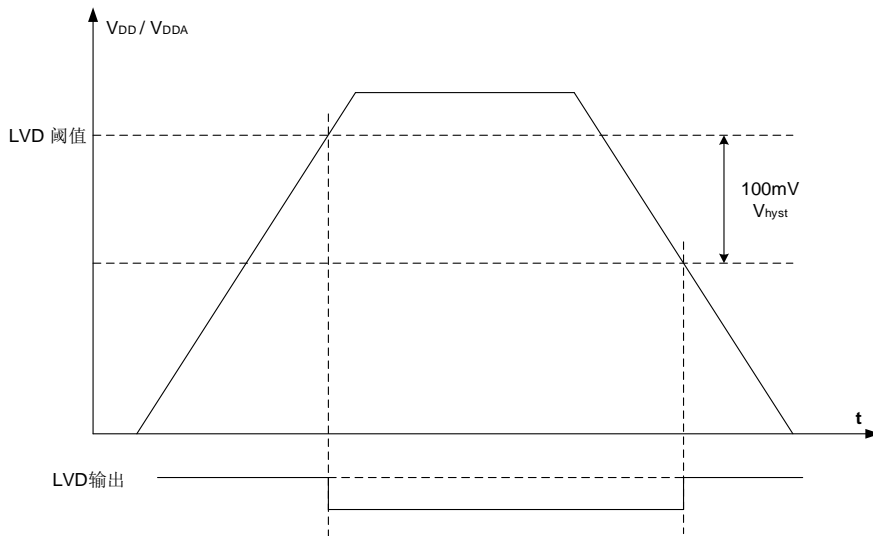
图2-5. 系统复位电路



2.2.1. LVD

LVD 的功能是检测 VDD / VDDA 供电电压是否低于低电压检测阈值，该阈值由电源控制寄存器 0 (PMU_CTL0) 中的 LVDT[2:0]位进行配置。LVD 通过 LVDEN 置位使能，位于电源控制状态寄存器 (PMU_CS) 中的 LVDF 位表示低电压事件是否出现，该事件连接至 EXTI 的第 16 线，用户可以通过配置 EXTI 的第 16 线产生相应的中断。图 2-6. LVD 阈值波形图显示了 VDD / VDDA 供电电压和 LVD 输出信号的关系。(LVD 中断信号依赖于 EXTI 第 16 线的上升或下降沿配置)。迟滞电压 Vhyst 值为 100 mV。

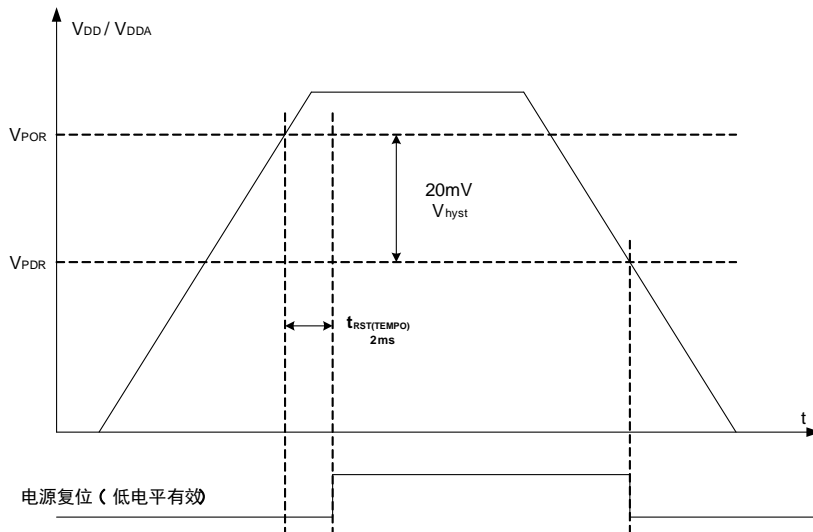
图 2-6. LVD 阈值波形图



2.2.2. POR / PDR

POR / PDR（上电 / 掉电复位）电路检测 V_{DD}/V_{DDA} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。[图 2-7. 上电 / 掉电复位波形图](#) 显示了供电电压和电源复位信号之间的关系。 V_{POR} 表示上电复位的阈值电压，典型值为 1.63 V, V_{PDR} 表示掉电复位的阈值电压, 典型值为 1.61 V。迟滞电压 V_{hyst} 值约为 20 mV。

图2-7. 上电 / 掉电复位波形图



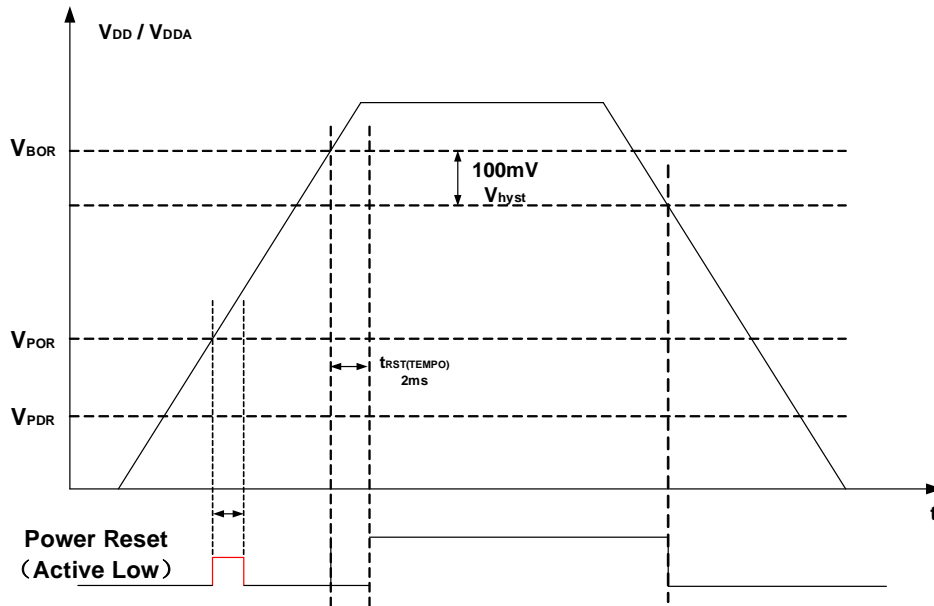
2.2.3. BOR

BOR 电路检测 V_{DD}/V_{DDA} 并在 BOR_TH 不为 0b11，同时电压低于选项字节的 BOR_TH 定义的阈值时产生电源复位信号复位除备份域之外的整个芯片。POR / PDR（上电 / 掉电复位）电路处于检测状态，无论选项字节的 BOR_TH 是否为 0b11。[图 2-8. BOR 波形图](#) 显示了供电电

压和 BOR 复位信号之间的关系。V_{BOR} 表示 BOR 复位的阈值电压，该值在选项字节 BOR_TH 中定义。迟滞电压 V_{hyst} 值为 100 mV。

不管 BOR 是否使能，POR/PDR（上电 / 掉电复位）电路会一直处于检测状态，因此电源复位电平都会在 VDD / VDDA 上升到 V_{POR} 时被拉高。若 BOR 使能，会迅速将被拉高的电源复位电平拉低，直到 VDD / VDDA 上升到 BOR_TH 设置的 V_{BOR}，电源复位电平再次被拉高，如 [图 2-8. BOR 波形图](#) 红色脉冲所示。该脉冲不会影响芯片正常工作。

图2-8. BOR波形图

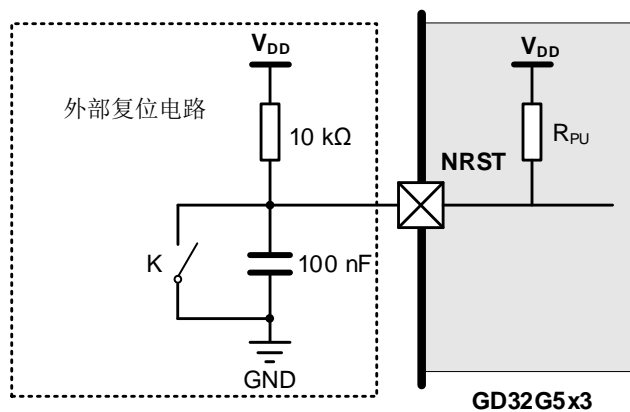


若GD32G5x3芯片版本与本文档不同，建议查阅勘误表或直接与我司联系。

2.2.4. NRST 引脚

为防止误触发复位，NRST 管脚建议放置一个电容（典型值为 100 nF），如 [图 2-9. 推荐外部复位电路](#)。

图 2-9. 推荐外部复位电路

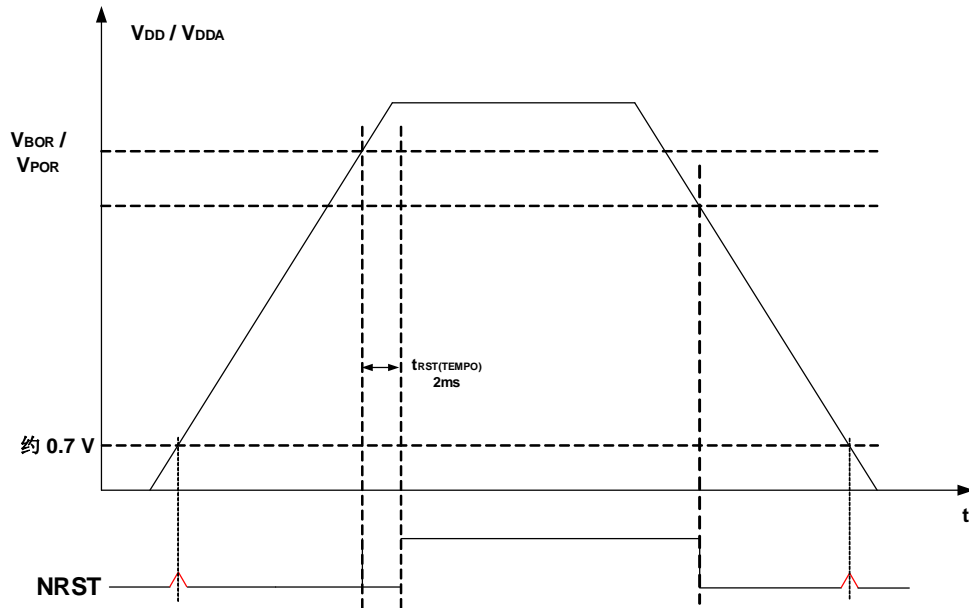


注意：

1. 内部上拉电阻 $R_{PU} = 40\text{ k}\Omega$ ，建议接外部上拉电阻 $10\text{ k}\Omega$ ，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在NRST管脚处放置ESD保护二极管；
3. 尽管MCU内部有硬件POR电路，仍推荐外部加NRST复位阻容电路；
4. 如果MCU启动异常（由于电压波动等），可适当增加NRST对地电容值，拉长MCU复位完成时间，避开上电异常时序区。

因MOS管门限电压特性，在芯片上下电过程中，当 $V_{DD}/V_{DDA} < 0.7\text{ V}$ 时，芯片内部电路还未工作，NRST会被外部RC电路的电阻上拉。在 $V_{DD}/V_{DDA} \approx 0.7\text{ V}$ 时，内部电路工作，NRST会被立即拉低。该脉冲不影响芯片正常工作，如 [图2-10. NRST 引脚上下电脉冲示意图](#) 所示。

图 2-10. NRST 引脚上下电脉冲示意图

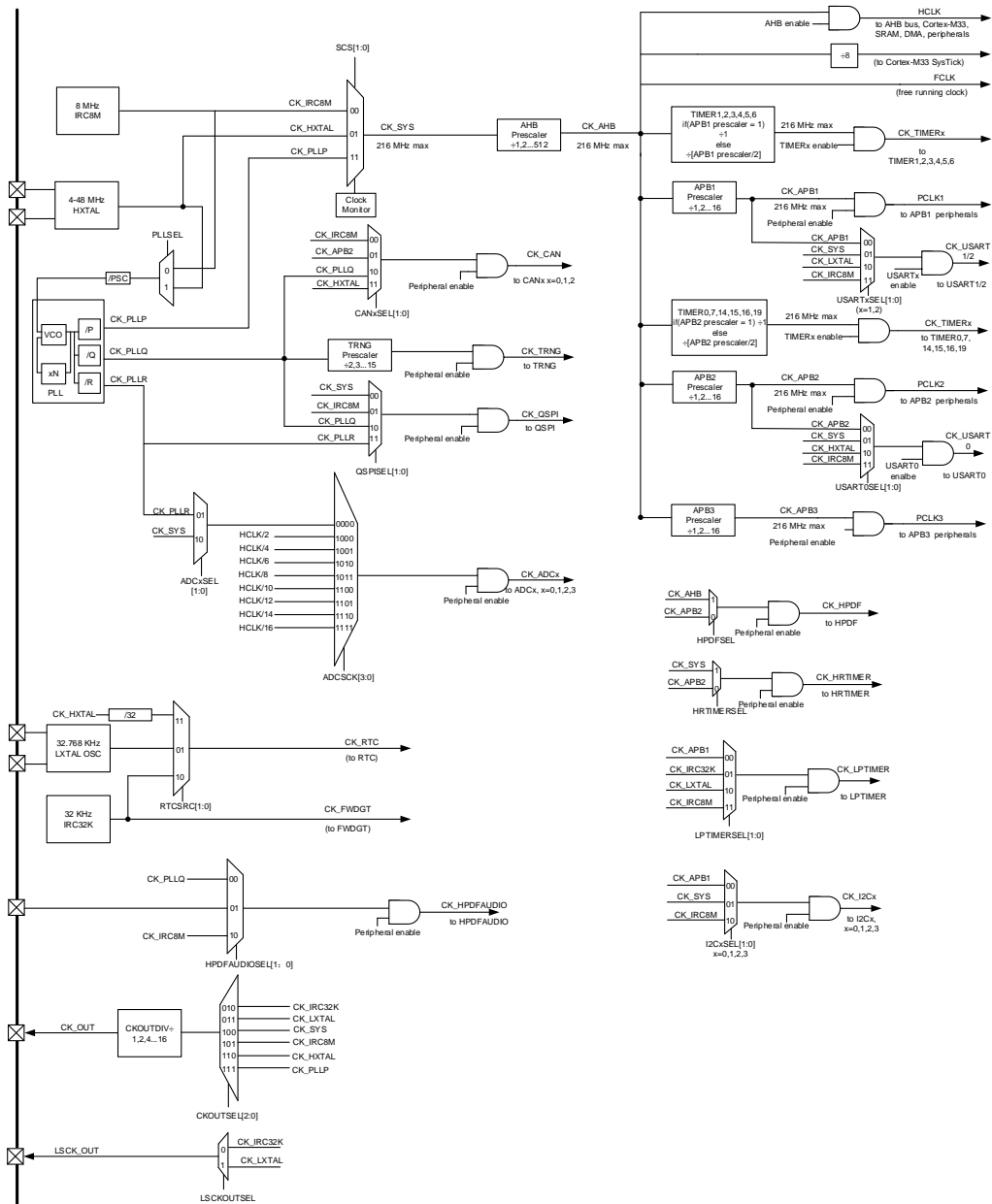


2.3. 时钟

GD32G5x3系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4到48 MHz外部高速晶体振荡器（HXTAL）；
- 内部8 MHz RC振荡器（IRC8M）；
- 32.768 kHz外部低速晶体振荡器（LXTAL）；
- 内部32 kHz RC振荡器（IRC32K）；
- PLL时钟源可选HXTAL、IRC8M；
- HXTAL时钟监视器；
- LXTAL时钟监视器。

图 2-11. GD32G5x3 系列时钟树



注意：AHB、APB和Cortex®-M33时钟都源自系统时钟（CK_SYS），系统时钟的时钟源可以选择IRC8M、HXTAL或PLL。系统时钟的最大运行时钟频率可以达到216 MHz。

2.3.1. 外部高速晶体振荡时钟（HXTAL）

4到48 MHz的外部高速晶体振荡器可为系统时钟提供更为精确时钟源。带有特定频率的晶体必须与靠近两个HXTAL的引脚连接。和晶体连接的外部电阻和电容必须根据所选择的振荡器来调整，如 [图2-12. HXTAL外部晶体电路](#)。HXTAL还可以使用旁路输入的模式来输入时钟源（1 – 48 MHz有源晶振等）如 [图2-13. HXTAL外部时钟电路](#)。旁路输入时，信号接至OSC_IN引脚，OSC_OUT引脚保持悬空状态，软件上需要打开HXTAL的Bypass功能（控制寄存器RCU_CTL的HXTALBPS和HXTALLEN位置‘1’）。

图 2-12. HXTAL 外部晶体电路

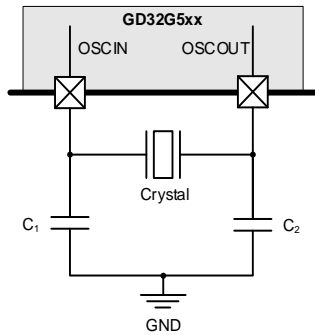
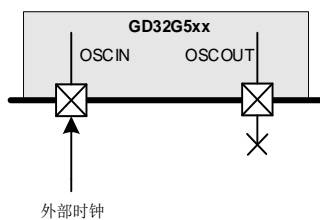


图 2-13. HXTAL 外部时钟电路

**注意：**

1. 使用旁路输入时，信号从 OSCIN 输入，OSCOUT 保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为 PCB 和 MCU 引脚的杂散电容，典型值为 10 pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在 20 pF 左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为 20 pF 即可，且 PCB Layout 时尽可能近地靠近晶振引脚；
3. C_S 为 PCB 板走线及 MCU 引脚上的寄生电容，当晶体离 MCU 越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离 MCU 较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联 1 MΩ 电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部晶体振荡器；
6. 正常使用有源晶振，会打开 Bypass，此时要求高电平不低于 0.7V_{DD}，低电平不大于 0.3V_{DD}；
7. 谐振器与 MCU 时钟引脚连接的走线可能会因为 PCB 布局布线的空间限制导致连接到 OSCOUT 和 OSCIN 两个引脚的走线长度不一致。这会使两条 PCB 走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的 PCB 板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL 是一个频率为 32.768 kHz 的外部低速晶体或陶瓷谐振器。它为实时时钟电路提供一个低功耗且高精度的时钟源。LXTAL 振荡器可以通过设置备份域控制寄存器（RCU_BDCTL）中的 LXTALEN 位被启动和关闭。备份域控制寄存器 RCU_BDCTL 中的 LXTALSTB 位用来指示 LXTAL 时钟是否稳定。如果中断寄存器 RCU_INT 中的相应中断使能位 LXTALSTBIE 被置‘1’，在 LXTAL 稳定以后，将产生一个中断。[图2-14. LXTAL 外部晶体电路](#)展现了外部低速晶体或陶瓷谐振器连接方式。

将备份域控制寄存器RCU_BDCTL的LXTALBPS和LXTALEN位置‘1’可以选择外部时钟旁路模式。CK_LXTAL与连到OSC32IN脚上外部时钟信号一致。[图2-15. LXTAL 外部时钟电路](#)展现了外部旁路模式连接方式。

图 2-14. LXTAL 外部晶体电路

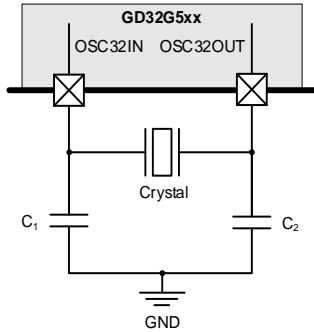
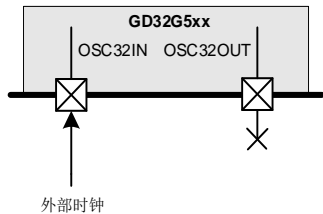


图 2-15. LXTAL 外部时钟电路



注意:

1. 使用旁路输入时，信号从OSC32IN输入，OSC32OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2 pF ~ 7 pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10 pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10 pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC32K作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源；
4. MCU可以设置LXTAL的驱动能力，若实际调试过程中，发现外部低速晶体难以起振，可尝试将LXTAL的驱动能力调整为高驱动能力；
5. 谐振器与MCU时钟引脚连接的走线可能会应为PCB布局布线的空间限制导致连接到MCU两个晶振引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.3.3. 时钟输出能力（CKOUT）

GD32G5x3系列可输出从32 kHz到216 MHz的时钟信号，可以通过设置时钟配置寄存器0（RCU_CFG0）中的CK_OUT时钟源选择位域CKOUT0SEL能够选择不同的时钟信号。相应的

GPIO引脚应该被配置成备用功能I/O (AFIO) 模式来输出选择的时钟信号。[表2-2. 时钟输出的时钟源选择展示了可输出的时钟源。](#)

表 2-2. 时钟输出的时钟源选择

时钟输出的时钟源选择位域	时钟源
000	NO CLK
010	CK_IRC32K
011	CK_LXTAL
100	CK_SYS
101	CK_IRC8M
110	CK_HXTAL
111	CK_PLLP

通过配置RCU_CFG0的CKOUTDIV[2:0]位，可以将输出时钟的频率按比例分频，进而降低CK_OUT的输出频率。

通过设置RCU_BDCTL寄存器的LSCKOUSEL位，CK_LXTAL和CK_IRC32K时钟可以通过LSCK_OUT引脚输出，即使在深度睡眠模式和待机模式，如[表2-3. 低速时钟输出的时钟源选择](#)。

表2-3. 低速时钟输出的时钟源选择

时钟输出的时钟源选择位域	时钟源
0	CK_IRC32K
1	LXTAL

2.3.4. HXTAL 时钟监视器 (CKM)

设置控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能必须在HXTAL启动延迟完毕后使能，在HXTAL停止后禁止。一旦监测到HXTAL故障，HXTAL将自动被禁止，中断寄存器RCU_INT中的HXTAL时钟阻塞中断标志位CKMIF将被置‘1’，产生HXTAL故障事件。这个故障引发的中断和Cortex®-M33的不可屏蔽中断NMI相连。如果HXTAL被选作系统，PLL或是RTC的时钟源，HXTAL故障将促使选择IRC8M为系统时钟源，PLL将被自动禁止，RTC的时钟源需要重新配置。

2.3.5. LXTAL 时钟监视器 (LCKM)

设置时钟控制寄存器 RCU_CTL 中的 LXTAL 时钟监视使能位 LCKMEN，LXTAL 可以使能时钟监视功能。该功能必须在 LXTAL 启动延迟完毕和 IRC32K 使能后使能。

当 LCKMEN 启用时，一个 4 位加一计数器将在 IRC32K 域工作。如果 LXTAL 时钟卡在 0 / 1 错误或时钟减慢约 20 kHz，计数器将溢出。将发现 LXTAL 时钟故障。

2.4. 启动配置

GD32G5x3 系列 MCU 提供不同的引导源，可以通过 BOOT0 引脚和用户选项字节中的引导配置位（nBOOT1、nBOOT0、nSWBT0）来进行选择，详细说明见[表 2-4. 引导模式选择](#)。

BOOT0 引脚的电平状态会在复位后的第四个 CK_SYS(系统时钟)的上升沿进行锁存。用户可自行选择所需要的引导源，通过设置引导模式配置。一旦这个引脚电平被采样，它可以被释放并用于其他用途。

表 2-4. 引导模式选择

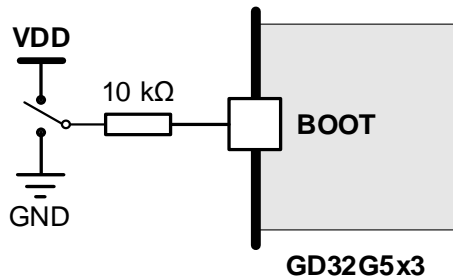
引导源选择	启动模式配置				
	BOOT_LK	nBOOT1 位	BOOT0 位	nSWBT0 位	nBOOT0 位
主 Flash 存储器	1	X	X	X	X
主 Flash 存储器	0	X	0	1	X
主 Flash 存储器	0	X	X	0	1
系统存储器	0	1	1	1	X
系统存储器	0	1	X	0	0
片上 SRAM0	0	0	1	1	X
片上 SRAM0	0	0	X	0	0

上电序列或系统复位后，ARM® Cortex® - M33 处理器先从 0x0000 0000 地址获取栈顶值，再从 0x0000 0004 地址获得引导代码的基地址，然后从引导代码的基地址开始执行程序。

根据所选引导源，主 Flash 存储器（从 0x0800 0000 开始的存储空间）或者系统存储器（从 0x1FFF 0000 开始的存储空间）会被映射到引导存储空间，即从 0x0000 0000 开始的地址空间。如果片上 SRAM（开始于 0x2000 0000 的存储空间）被选为引导源，用户必须在应用程序初始化代码中通过修改 NVIC 异常向量表和偏移地址将向量表重置到 SRAM 中。

嵌入式引导加载程序位于系统内存中，用于对闪存进行重新编程。引导加载程序可以通过某些接口激活，请参阅 datasheet 的引导模式章节。BOOT 推荐电路设计参见[图 2-16. 推荐 BOOT 电路设计](#)：

图 2-16. 推荐 BOOT 电路设计



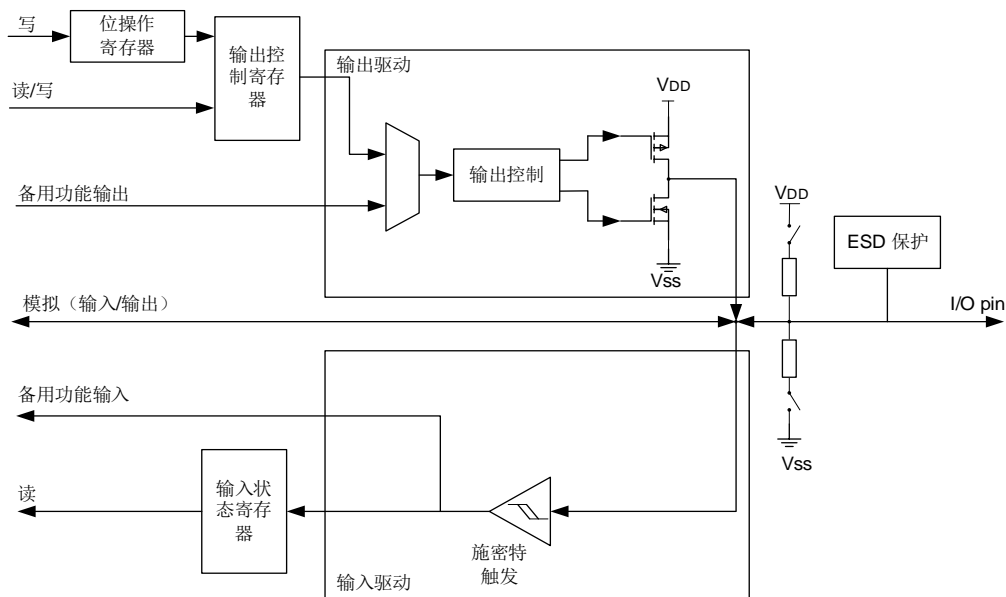
注意：MCU运行后，如果改变BOOT状态，须系统复位后才可生效。

2.5. 典型外设模块

2.5.1. GPIO 电路

GD32G5x3最多可支持107个通用I/O引脚（GPIO），分别为PA0 ~ PA15，PB0 ~ PB15，PC0 ~ PC15，PD0 ~ PD15，PE0 ~ PE15，PF0 ~ PF15，PG0 ~ PG10。各片上设备用其来实现逻辑输入/输出功能。每个GPIO端口有相关的控制和配置寄存器以满足特定应用的需求。片上设备GPIO引脚的外部中断由EXTI模块的寄存器控制和配置。GPIO口的基本结构详见 [图2-17. 标准IO的基本结构](#)：

图 2-17. 标准 IO 的基本结构



注意：

1. IO口分为5 V耐受和非5 V耐受，使用时注意区分IO口耐压情况，详见数据手册；
2. 5 V耐受的IO口配置为开漏输出模式或输入模式时，可以连接5 V电压，配置为推挽输出模式时，禁止连接5 V电压；
3. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
4. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限（3 mA左右），配置为输出模式时，其工作速度不能超过2 MHz（最大负载为30 pF）；
5. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式；
6. 非 5 V 耐受 IO，外接超过 V_{DD} 的电压时，可能会产生灌电流；
7. PG10 可以作为复位引脚（NRST）或作为 GPIO，根据用户选项字节中的 NRST MODE 位进行切换。输入/输出复位：默认上电复位或选项字节加载后复位 NRST MODE = 3；仅复位输入：选项字节加载后 NRST MODE = 1；PG10 模式：选项字节加载后 NRST mode = 2。

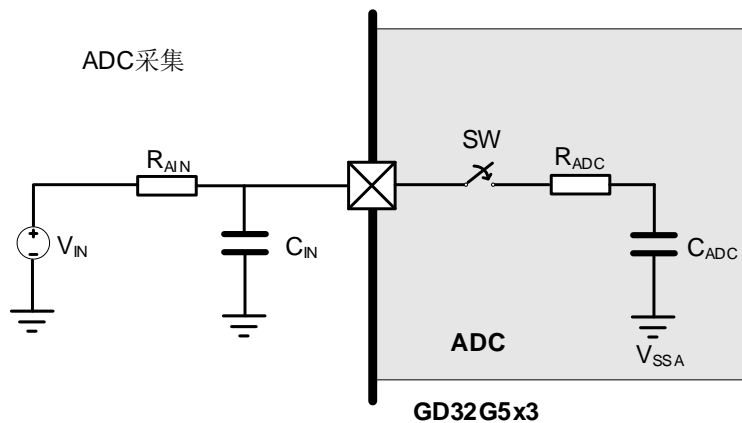
2.5.2. ADC 电路

MCU片上集成了12位逐次逼近式模数转换器模块（ADC），ADC0有14个外部通道，5个内部通道（内部温度传感通道（VSENSE）、电池电压（VBAT）通道、DAC0_OUT0通道、DAC0_OUT1通道和参考电压输入通道（VREFINT）），ADC1有16个外部通道，3个内部通道（DAC1_OUT0通道、DAC1_OUT1通道和参考电压输入通道（VREFINT）），ADC2有15个外部通道，5个内部通道（参考电压输入通道（VREFINT）、DAC2_OUT0通道、DAC2_OUT1通道、高精度温度传感器通道（VSENSE2）和电池电压（VBAT）通道），ADC3有18个外部通道，3个内部通道（DAC3_OUT0通道、DAC3_OUT1通道和参考电压输入通道（VREFINT））。ADC采样通道均支持多种运行模式，采样转换后，转换结果可以按照最低有效位对齐或最高有效位对齐的方式保存在相应的数据寄存器中。片上的硬件过采样机制可以通过减少来自MCU的相关计算负担来提高性能。

如果在使用过程中，ADC采集外部输入电压，若采样数据波动较大，可能是由于电源波动引起的干扰，可通过采样内部VREFINT进行校准，反推外部采样电压。

设计ADC电路时，建议在ADC输入管脚处放置个小电容C_{IN}，如[图2-18. ADC采集电路设计](#)：

图 2-18. ADC 采集电路设计



为了获得较好的转换结果，使用过程中，建议尽量降低f_{ADC}的频率，采样周期尽量选较大的值，外部电路设计时也尽量减小输入阻抗，必要时采用运放跟随来降低输入阻抗。f_{ADC} = 40 MHz时，输入阻抗和采样周期关系如[表2-5. f_{ADC} = 40 MHz采样周期与外部输入阻抗关系](#)：

表 2-5. f_{ADC} = 40 MHz 采样周期与外部输入阻抗关系

T _s (cycles)	t _s (us)	R _{AIN} max (kΩ)
3	0.075	0.55
15	0.375	4.65
28	0.7	9.15
55	1.375	18.43
84	2.1	28.46
112	2.8	38.1
144	3.6	49.17
480	12	N/A

注意：

在使用WLCSP81封装的ADC1采样外部信号时，若PC4输出翻转信号会影响ADC1的精度，因此在使用ADC1时，若PC4同时在输出翻转信号，建议使用一颗电容，例如10 nF，并联到PC4和GND，可以消除对ADC1精度的影响。

2.5.3. 内部温度传感器

GD32G5x3 系列 MCU 内部集成了一个温度传感器（ADC0_IN14）、一个高精度温度传感器（ADC2_CH18）。温度传感器的输出电压随温度线性变化。为确保温度测量的准确，需要给ADC提供一个准确的、低温漂的参考电压 VREFP。

温度传感器的输出电压随温度会发生线性变化，由于芯片生产过程的多样化，温度变化曲线的偏差在芯片间会有不同（最多相差 45 °C）。内部温度传感器更适用于检测温度的变化，而不是用于测量绝对温度。如果需要测量精确的温度，应该使用一个外置的温度传感器来校准这个偏移量。

使用温度传感器：

1. 配置温度传感器通道（ADC0_CH14）的转换序列和采样时间为 t_{s_temp} us；
2. 置位 ADC_CTL1 寄存器中的 TSVEN1 位，使能温度传感器；
3. 置位 ADC_CTL1 寄存器的 ADCON 位，或者由外部触发 ADC 转换；
4. 从 ADC 数据寄存器中读取并计算温度传感器数据 $V_{temperature}$ ，并由下面公式计算出实际温度：

$$\text{温度}(\text{°C}) = \{(V_{25} - V_{temperature}) / \text{Avg_Slope}\} + 25$$

V_{25} ：内部温度传感器在 25 °C 下的电压，典型值请参考 datasheet。

Avg_Slope：温度与内部温度传感器电压曲线的均值斜率，典型值请参考 datasheet。

使用高精度温度传感器：

1. 配置 ADC 时钟（不超过 5 MHz）；
2. 配置温度传感器通道（ADC2_IN18）的转换序列和采样时间为 t_{s_temp} us；
3. 置位 ADC_CTL1 寄存器中的 TSVEN2 位，使能温度传感器；
4. 置位 ADC_CTL1 寄存器的 ADCON 位，或者由外部触发 ADC 转换；
5. 从 ADC 数据寄存器中读取并计算温度传感器数据 $V_{temperature}$ ，并由下面公式计算出实际温度：

$$\text{温度}(\text{°C}) = \{(V_{temperature} - V_{25}) / \text{Avg_Slope}\} + 25$$

V_{25} ：内部温度传感器在 25 °C 下的电压，典型值及出厂校准值地址请参考 datasheet。

Avg_Slope：温度与内部温度传感器电压曲线的均值斜率，典型值请参考 datasheet。

注意：

1. 当高精度温度传感器使能，至少需要等待 3 个 ADC 采样周期，前三个转换数据应当被舍弃；
2. 可以通过过采样和软件平均（一般建议 50 点平均）提高高精度温度传感器准确度。

2.5.4. DAC 电路

GD32G5x3 系列 MCU 内部集成了四个 DAC，每个 DAC 拥有两个通道，每个 DAC 的两个通道可以独立或并发工作。

其中 DAC0 的通道 0 与通道 1、DAC1 的通道 0 与通道 1 可以通过 GPIO 输出，其他 DAC 可输出到芯片内部其他电路，例如比较器 CMP、ADC 等。在使能 DAC 模块前，GPIO 口（DAC 输出 I/O）应配置为模拟模式。

为了降低输出阻抗，并在没有外部运算放大器的情况下驱动外部负载，每个 DAC 模块内部各集成了一个输出缓冲区。默认情况下，输出缓冲区是开启的，可以通过设置 DAC_MDCR 寄存器的 MODEx 位来开启或关闭缓冲区。注意：DAC2 与 DAC3 无输出缓冲功能。

DAC 可以通过软件或者外部信号的上升沿触发，如[表 2-6. DAC 触发与输出](#)所示。外部触发可以通过设置 DAC_CTL0 寄存器中 DTENx 位来使能。触发源可以通过 DAC_CTL0 寄存器中 DTSELx 位来进行选择。

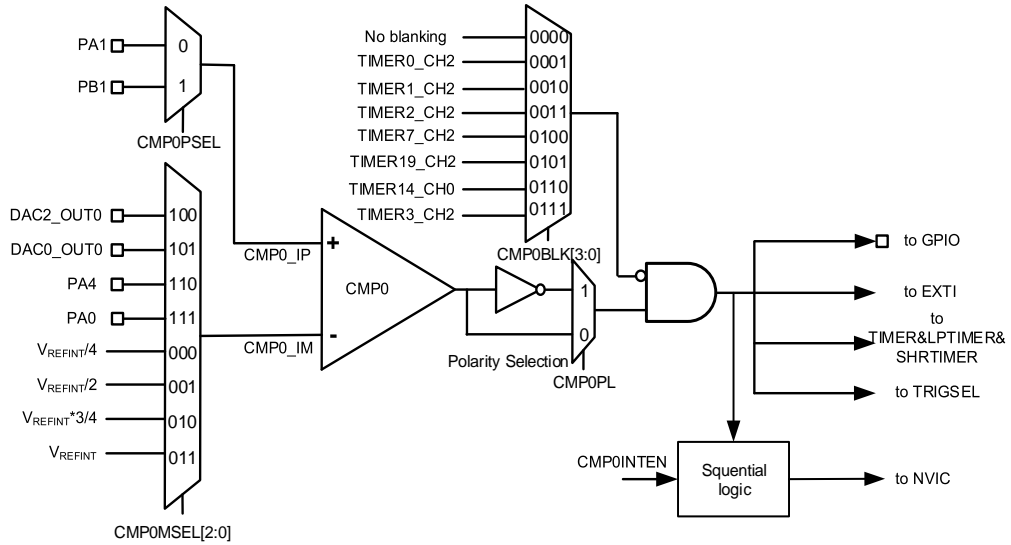
表 2-6. DAC 触发与输出

通道	DAC0		DAC1		DAC2		DAC3	
	通道 0	通道 1	通道 0	通道 1	通道 0	通道 1	通道 0	通道 1
DAC 输出 I/O	PA4	PA5	PA6	PA7	/	/	/	/
DAC 输出 BUFFER 功能	•	•	•	•	/	/	/	/
TRIGSEL 触发功能	•		•		•		•	
软件触发功能	•		•		•		•	

2.5.5. CMP 电路

GD32G5x3 系列 MCU 内部集成了八个轨到轨比较器（CMP）。每个比较器可配置多种输入输出源，以 CMP0 为例，[图 2-19. 比较器框图](#)展示了其内部结构：

图 2-19. 比较器框图



在被选为比较器输入端之前，相应管脚必须配置为模拟模式。比较器的输出也可同时实现内部和外部输出，[表 2-7. CMP 的输入和输出](#)详细描述了 CMP 的输入和输出。

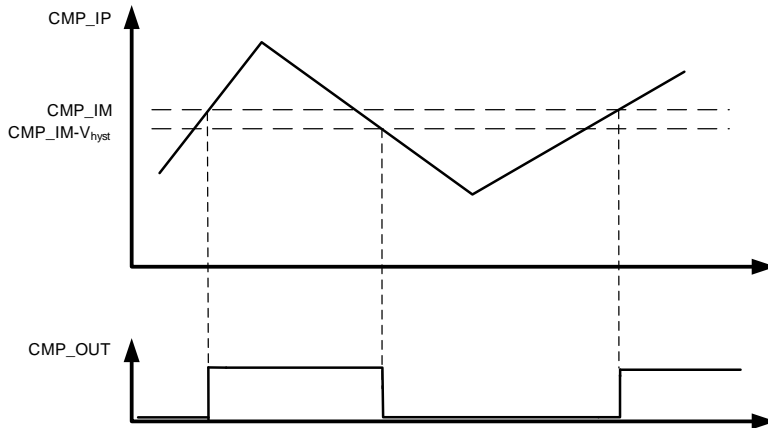
表 2-7. CMP 的输入和输出

	CMP0	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7
CMP 同相输入连接到 I/O	PA1 PB1	PA7 PA3	PA0 PC1	PB0 PE7	PB13 PD12	PB11 PD11	PB14 PD14	PC2 PE9
CMP 反相输入连接到 I/O	PA4 PA0	PA5 PA2	PF1 PC0	PE8 PB2	PB10 PD13	PD10 PB15	PD15 PB12	PD8 PD9
CMP 反相输入连接到内部信号	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC2_O UT0 DAC0_O UT0	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC2_O UT1 DAC0_O UT1	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC2_OU T0 DAC0_OU T0	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC2_OU T1 DAC0_OU T0	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC3_OU T0 DAC0_OU T1	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC3_OU T1 DAC1_OU T0	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC3_OU T0 DAC1_OU T0	VREFINT/4, VREFINT/2, VREFINT*3/4, VREFINT, DAC3_OU T1 DAC1_OU T1
CMP 输出连接到 I/O	PA0 PA6 PA11 PB8 PF4	PA2 PA7 PA12 PB9	PB7 PB15 PC2	PB1 PB6 PB14	PA9 PC7	PC6 PA10	PC8 PA8	PA13 PA14
CMP 输出连接到 EXTI	•							

	CMP0	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7
CMP 输出 连接到 TRIGSEL					•			
CMP 输出 连接到 NVIC					•			
CMP 输出 连接到内部 信号	TIMER0, TIMER1, TIMER2, TIMER3, TIMER4, TIMER7, TIMER19, LPTIMER, HRTIMER							
CMP 输出 连接到 break 信号	BREAK0(TIMER0, TIMER7, TIMER14, TIMER15, TIMER16, TIMER19)							
	BREAK1(TIMER0, TIMER7, TIMER19)							

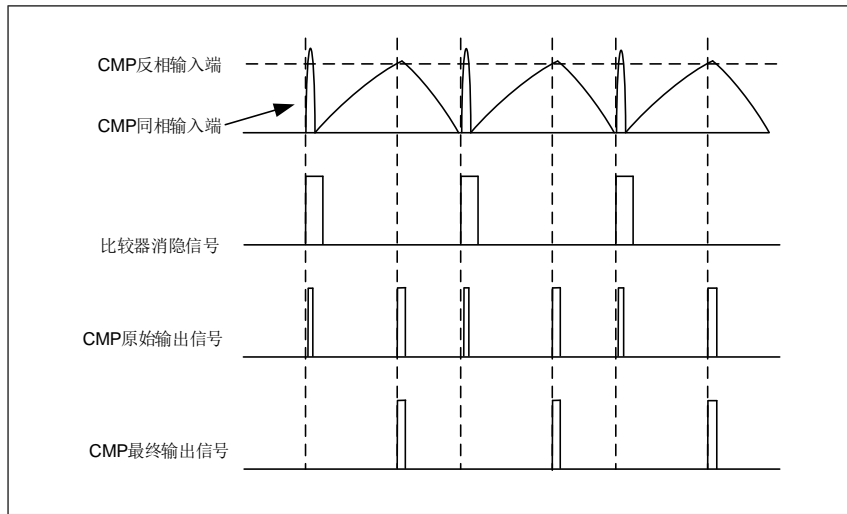
为了避免噪声信号所引起的假输出，电路设计了可编程的迟滞功能，通过配置控制状态寄存器来控制迟滞电压值。该功能可以在不需要时关闭。如 [图 2-20. 比较器迟滞](#) 所示：

图 2-20. 比较器迟滞



比较器输出消隐功能可以避免比较器输入信号中的短脉冲对输出信号的干扰。如果 $CMPx_CS$ 寄存器中的 $CMPxBLK[2:0]$ 位域设置为有效值，则比较器最终输出的信号由所选消隐信号的互补信号和比较器的原始输出进行“与”运算获得。[图 2-21. 比较器的输出消隐](#) 显示了比较器的输出消隐功能。

图 2-21. 比较器的输出消隐



有关于 CMP 更多详细外设功能及用法请参考《GD32G553_用户手册》、《AN198 GD32G5x3 系列比较器使用指南》。

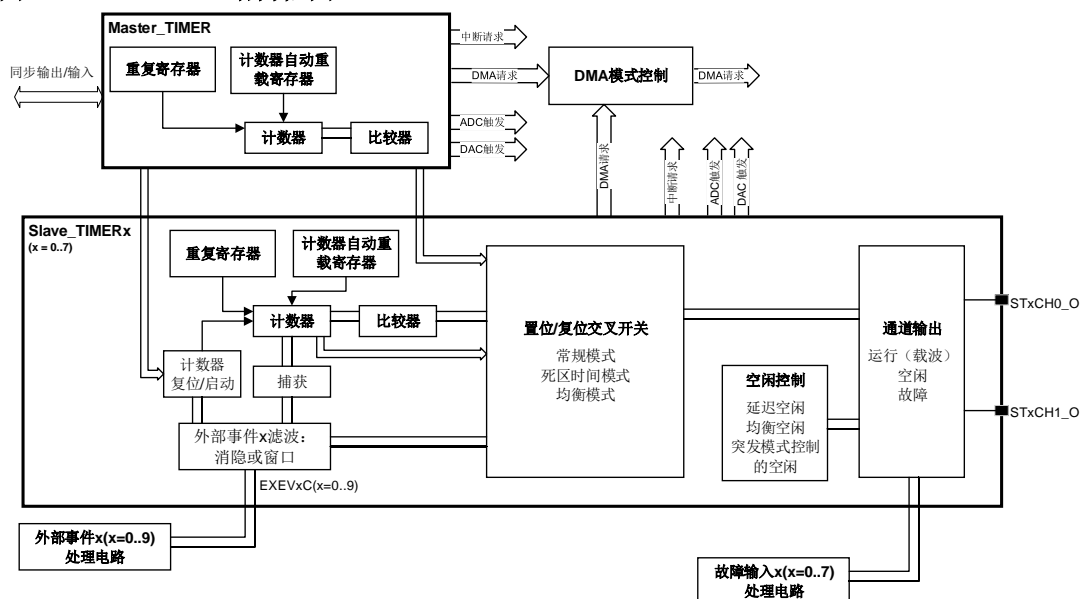
2.5.6. HRTIMER

HRTIMER 具有超高分辨率计数时钟(Master_TIMER, Slave_TIMERx (x=0..7)), 可用于高精度定时。它可以产生 16 个超高分辨率的数字信号来灵活地控制电动机或用于电源管理应用。这 16 个数字信号可以独立输出, 也可以耦合成 8 对互补信号输出, 并且可由任意一个定时单元控制。

HRTIMER 具有灵活的捕获功能, 可用于捕获输入信号的时序。它具有多个连接到 ADC 和 DAC 的内部信号, 可用于控制和监视。

[图 2-22. HRTIMER 结构框图](#)给出了 HRTIMER 的内部细节配置。

图 2-22. HRTIMER 结构框图



时钟源是由 RCU 模块提供的 HRTIMER_CK，DLL 可以产生并一次或定期校准超高分辨率时钟 HRTIMER_HPCK ($f_{\text{HRTIMER_HPCK}} = 32 * f_{\text{HRTIMER_CK}}$)。

预分频器 (PSC) 将超高分辨率时钟 (HRTIMER_HPCK) 除以分频因子 $2^{\text{CNTCKDIV}[2:0]}$ ，得到计数器时钟 (HRTIMER_PSCCK)。该分频因子由 HRTIMER_MTCTL0 寄存器中的 CNTCKDIV[2:0]位域控制。它们之间的频率关系可以表示如下：

$$f_{\text{HRTIMER_PSCCK}} = f_{\text{HRTIMER_HPCK}} / 2^{\text{CNTCKDIV}[2:0]}$$

[表 2-8. \$f_{\text{HRTIMER_CK}} = 216 \text{ MHz}\$ 的分辨率](#)列出了 $f_{\text{HRTIMER_CK}}$ 为 216 MHz 时的不同分辨率。

表 2-8. $f_{\text{HRTIMER_CK}} = 216 \text{ MHz}$ 的分辨率

CNTCKDIV[2:0]	$f_{\text{HRTIMER_PSCCK}}$	分辨率
3'b000	$216 * 32 \text{ MHz} = 6.912 \text{ GHz}$	144.68ps
3'b001	$216 * 16 \text{ MHz} = 3.456 \text{ GHz}$	289.35ps
3'b010	$216 * 8 \text{ MHz} = 1.728 \text{ GHz}$	578.70ps
3'b011	$216 * 4 \text{ MHz} = 864 \text{ MHz}$	1.16ns
3'b100	$216 * 2 \text{ MHz} = 432 \text{ MHz}$	2.31ns
3'b101	$216 * 1 \text{ MHz} = 216 \text{ MHz}$	4.63ns
3'b110	$216 / 2 \text{ MHz} = 108 \text{ MHz}$	9.26ns
3'b111	$216 / 4 \text{ MHz} = 54 \text{ MHz}$	18.52ns

HRTIMER 包含多种功能：

当 HRTIMER_MTCTL0 中的 HALFM 位置 1 时，半波模式使能。此模式将比较 0 有效寄存器的值强制为计数器重载值的一半，但 HRTIMER_MTCMP0V 寄存器的值不会更新为 (HRTIMER_MTCAR / 2) 的值。半波模式主要用于生成固定占空比为 50 % 的方波。

可变频率半波模式是半波模式的补充，该模式允许调节输出信号频率，同时保持 180°相位移。

交错模式有助于实现与半模式相辅相成的替代拓扑结构。当 HRTIMER_MTCAR 值更新时，比较值寄存器会被自动重新计算。通过 HRTIMER_MTCTL0 中的 ALTM[1:0]位选择交错模式。可以进行三重交错(120°)、四重交错(90°)。

捕获功能不仅使 Slave_TIMERx 实现了脉冲宽度，频率，周期，占空比的测量，而且还可以在延迟模式下更新比较 1 寄存器和比较 3 寄存器的值。Master_TIMER 和 Slave_TIMERx 可以触发 ADC。

突发模式控制器允许通过硬件使 CHyOPRE ($y = 0,1$) 交替输出空闲和运行状态。该模式由 HRTIMER_BMCTL 寄存器中的 BMEN 位使能，通常在轻载情况中使用。

HRTIMER 可以配置 HRTIMER_MTCTL0 寄存器中的 SYNOSRC[1:0]位域，选择发送到同步输出上的源，作为主机产生同步信号；HRTIMER 也可以作为从机等待触发同步。可以通过 HRTIMER_MTCTL0 寄存器中的 SYNISRC [1:0]位域选择同步输入源。

HRTIMER 允许使用定时器更新同步更新片上 DAC。Master_TIMER 和 Slave_TIMERx 的更新事件可以在 HRTIMER_DACTRIGy ($y = 0..2$) 上生成 DAC 更新触发。

双通道 DAC 触发模式可以轻松实现斜坡补偿技术和滞后控制。在此模式下，DAC 输出一个逐渐减小的锯齿信号，锯齿波的周期与 PWM 波的周期同步。

HRTIMER 的立即更新模式适用于比较 0 复位事件和比较 2 复位事件，并通过在 HRTIMER_STxCTL1 寄存器中设置 IMUPDxV 位来启用此模式。当启用立即更新模式时，PWM 波形会立即更新，而无需等待当前周期结束。在以下情况下，PWM 波形会立即更改。

有关于 HRTIMER 更多详细外设功能及用法请参考《GD32G553_用户手册》、《AN203 GD32G5x3 系列高分辨率定时器使用指南》

2.6. 低功耗模式

内部控制上有三种降低芯片功耗的方法：减慢系统时钟（HCLK，PCLK1、PCLK2和PCLK3），关闭未使用的外设的时钟。

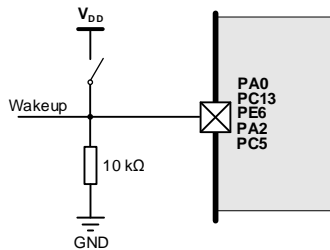
此外，GD32G5x3系列还有三种低功耗模式可以实现更低的功耗，它们是睡眠模式，深度睡眠模式和待机模式。

表2-9. 节电模式总结

模式	睡眠	深度睡眠	待机
描述	仅关闭 CPU 时钟	<ol style="list-style-type: none"> 1. 关闭 1.1 V 电源域的所有时钟 2. 关闭 IRC8M、HXTAL 和 PLLs 	<ol style="list-style-type: none"> 1. 关闭 1.1 V 电源域的所有时钟 2. 关闭 IRC8M、HXTAL 和 PLLs
LDO 状态	开启	开启或者低功耗模式	关闭
配置	SLEEPDEEP = 0	SLEEPDEEP = 1, STBMOD = 0	SLEEPDEEP = 1, STBMOD = 1, WURST = 1
进入指令	执行 WFI 或 WFE	执行 WFI 或 WFE	执行 WFI 或 WFE
唤醒	若通过 WFI 进入，则任何中断均可唤醒；若通过 WFE 进入，则任何事件（当 SEVONPEND = 1 时的中断）均可唤醒	若通过 WFI 进入，来自 EXTI 的任何中断均可唤醒；若通过 WFE 进入，来自 EXTI 任何事件（当 SEVONPEND = 1 时的中断）可唤醒	<ol style="list-style-type: none"> 1. NRST 引脚 2. WKUP 引脚 3. FWDGT 复位 4. RTC 5. LCKMD
唤醒延时	无	IRC8M 唤醒时间，如果 LDO 在低功耗模式，增加 LDO 唤醒时间	上电序列

其中功耗最低的是 Standby 待机模式，此低功耗模式需要的唤醒时间也是最长的。从 Standby 模式唤醒可通过 WKUP 引脚上升沿唤醒，仅需配置 PMU_CS 寄存器里的 WUPENx 位即可。对应 WKUP 唤醒引脚参考电路设计如 [图2-23. 推荐 Standby 外部唤醒引脚电路设计](#) 所示：

图 2-23. 推荐 Standby 外部唤醒引脚电路设计


注意：

1. 该模式在电路设计时需要注意，WKUP至VDD间如果有串电阻，可能会增加额外的功耗；
2. 在许多应用设计中为保证WKUP引脚不灌入外部大电流，会在WKUP引脚端串入电阻限流。由于WKUP为上升沿唤醒，WKUP引脚内部被配置为输入下拉模式，因此会导致WKUP信号被分压，因此建议串入电阻不超过1 kΩ。

2.7. 下载调试电路

GD32G5x3系列支持JTAG调试接口与SWD调试接口，默认支持SWD接口，可以通过efuse修改成JTAG模式，并且支持secure JTAG，但是无法回退到SWD模式。JTAG接口标准为20针接口，其中5根信号接口，SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入上拉/下拉模式，其中：

PA15: JTDI为上拉模式；

PA14: JTCK / SWCLK为下拉模式；

PA13: JTMS / SWDIO为上拉模式；

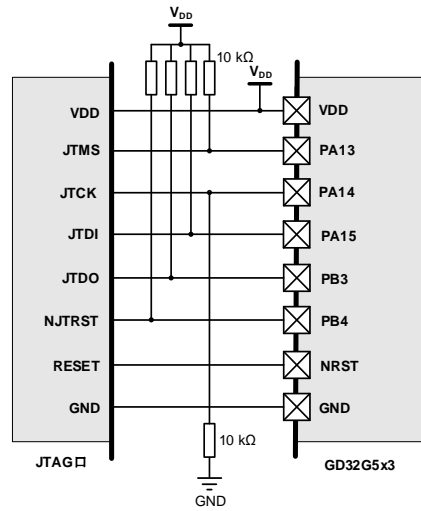
PB4: NJTRST为上拉模式；

PB3: JTDO为浮空模式。

表 2-10. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-24. 推荐 JTAG 接线参考设计



注意：复位后，调试相关端口为输入上拉/下拉模式，其中：

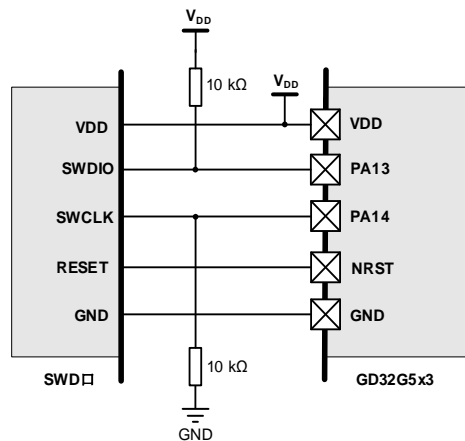
PA13: SWDIO为上拉模式；

PA14: SWCLK为下拉模式。

表 2-11. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-25. 推荐 SWD 接线参考设计

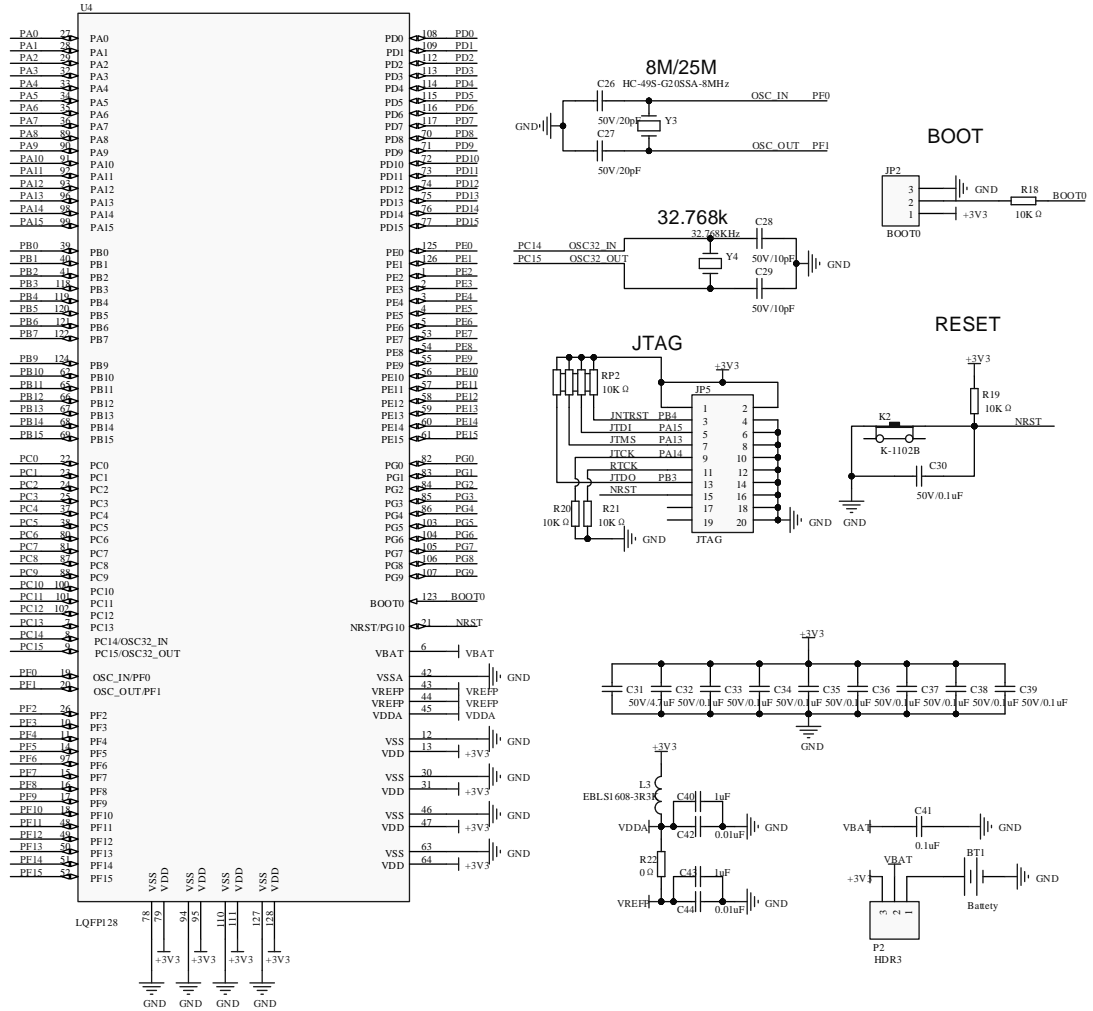


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15 cm以内；
2. 将SWD两根线和GND线使用双绞线；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100 Ω ~ 1 kΩ电阻。

2.8. 参考原理图设计

图 2-26. GD32G5x3 推荐参考原理图设计



3. PCB Layout 设计

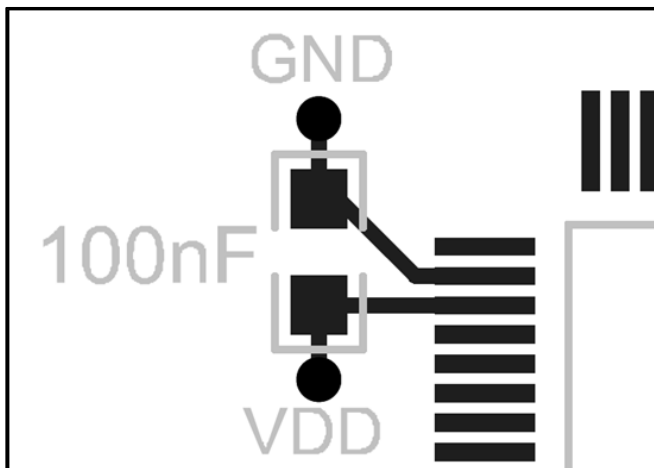
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性，具有EPAD的封装，PCB Layout建议EPAD接地等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32G5x3系列电源有VDD、VDDA、VREFP等供电脚，100 nF去耦电容采用陶瓷MLCC即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打过孔的形式Layout，如[图3-1. 推荐电源引脚去耦Layout设计](#)所示：

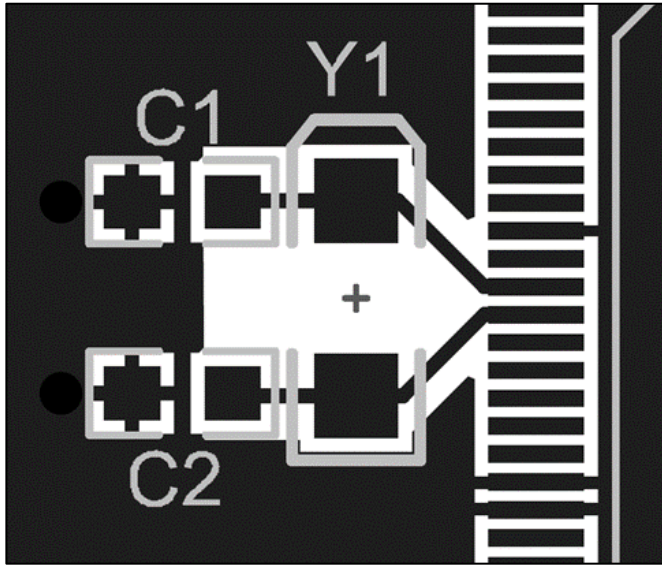
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32G5x3系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来，如[图3-2. 推荐时钟引脚Layout设计（无源晶体）](#)所示：

图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）



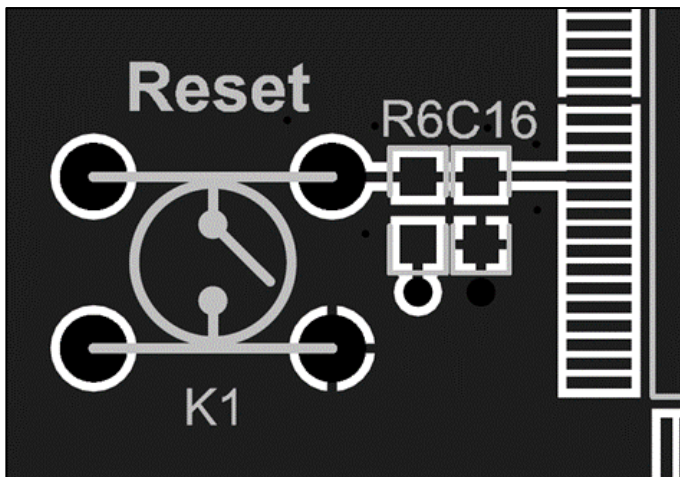
注意：

1. 晶体尽量靠近 MCU 时钟引脚，匹配电容等尽量靠近晶体；
2. 整个电路尽量与 MCU 在同层，走线尽量不要穿层；
3. 时钟电路 PCB 区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST 走线 PCB Layout 参考如 [图 3-3. 推荐 NRST 走线 Layout 设计](#) 所示：

图 3-3. 推荐 NRST 走线 Layout 设计



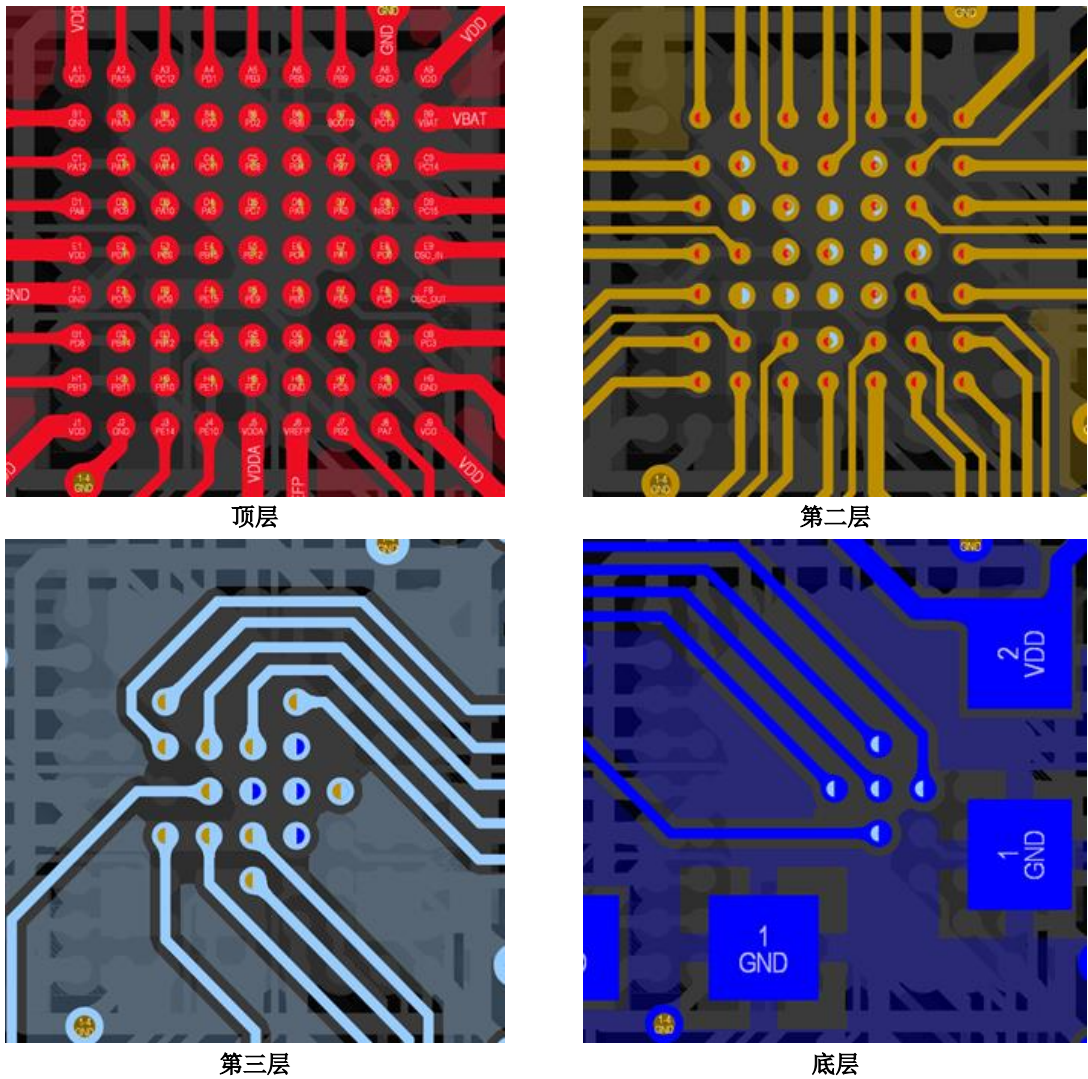
注意：复位电路阻容等尽可能地靠近 MCU NRST 引脚，且 NRST 走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将 NRST 走线做包地处理，以起到更好的屏蔽效果。

3.4. WLCSP 封装的扇出

对于GD32G5x3系列MCU部分型号存在WLCSP81封装，推荐以下的走线规则与扇出方式：

1. 对于WLCSP81封装推荐使用四层板及以上；
2. 使用规则设置3 mil线宽线距；
3. 使用4 / 8 mil过孔,在部分焊盘打盘中盲埋孔进行扇出，扇出后如[图3-4. WLCSP81封装扇出](#)所示：

图 3-4. WLCSP81 封装扇出



4. 封装说明

GD32G5x3系列有7种封装形式，LQFP128、LQFP100、WLCSP81、LQFP80、LQFP64、LQFP48和QFN48。

表 4-1. 封装型号说明

产品型号	封装
GD32G553QxT7	LQFP128(14x14, 0.4 pitch)
GD32G553VxT7	LQFP100(14x14, 0.5 pitch)
GD32G553MxY7TR	WLCSP81(4x4, 0.4 pitch)
GD32G553MxT7	LQFP80(12x12, 0.5 pitch)
GD32G553RxT7	LQFP64(10x10, 0.5 pitch)
GD32G553CxT7	LQFP48(7x7, 0.5 pitch)
GD32G553CxU7	QFN48(7x7, 0.5 pitch)

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2024 年 11 月 12 日
1.1	细化电源检测及复位相关内容, 增加 2.2 节。	2024 年 12 月 15 日
1.2	1、增加 2.1.4 小结引脚相关描述。 2、修改第 4 章相关描述。 3、修改部分格式。	2025 年 2 月 7 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.