GigaDevice Semiconductor Inc.

GD32F47x/F42x 芯片使用限制

勘误手册

1.5 版本

（2025 年 2 月）

目录

目录 2
图索引 4
表索引 5
1. 前言 6
1.1. 芯片版本定义 6
1.2. 芯片使用限制总览 6
2. 芯片使用限制描述 8
2.1. PMU 8
2.1.1. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒 8
2.2. RCU 8
2.2.1. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位 8
2.3. GPIO 9
2.3.1. IO 补偿失效 9
2.4. ADC 9
2.4.1. 当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常 9
2.4.2. ADC 对齐模式与用户手册描述不一致 9
2.5. RTC 10
2.5.1. 同时使用数字平滑校准和 FREQI 校准会导致校准异常 10
2.5.2. RTC 数字平滑校准功能仅在当前窗口内有效 10
2.6. TIMER 10
2.6.1. 预装载值修改后仅在计数器上升沿生效 10
2.6.2. 定时器在单脉冲模式下工作时计数错误 11
2.7. USART 11
2.7.1. 使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒 11
2.8. I2C 11
2.8.1. I2C_FCTL 寄存器仅可在 GD32F470xx 上配置 11
2.9. SDIO 12
2.9.1. 不支持低功耗模式 12
2.9.2. 在 SDIO 多线模式（4-bit 或 8-bit 数据宽度）下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位 12
2.10. EXMC 13
2.10.1. SDRAM 控制器的自动刷新功能受其他 EXMC 控制器影响 13
2.11. ENET 13

2.11.1. MII 模式下数据接收异常 13
2.11.2. 当启用硬件校验和且报头校验和为 0x0000 时，此接收数据帧将被丢弃 14

2.12. Core 14
2.12.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成 14

3. 版本历史 16

图索引

图 1-1. GD32F47x/F42x 的芯片修订版本 6

表索引

表 1-1. 适用产品 6
表 1-2. 芯片使用限制 6

1. 前言

该文档适用于 GD32F47x/F42x 产品，具体参考*表 1-1. 适用产品*。该文档提供了在使用 GD32 MCU 过程中需要注意的技术细节，以及相关问题的解决方案。

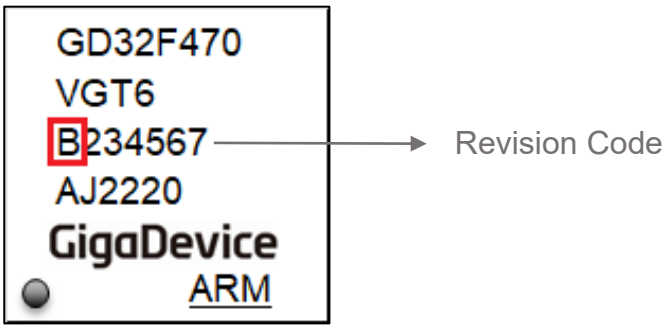
表 1-1. 适用产品

类型	产品系列
MCU	GD32F425xx 系列
	GD32F427xx 系列
	GD32F470xx 系列

1.1. 芯片版本定义

可通过芯片丝印上的标记来确定当前芯片的版本。丝印上第 3 行的第 1 个编码表示芯片当前版本，如*图 1-1. GD32F47x/F42x 的芯片修订版本*所示。

图 1-1. GD32F47x/F42x 的芯片修订版本



1.2. 芯片使用限制总览

GD32F47x/F42x 芯片使用限制参考*表 1-2. 芯片使用限制*。关于芯片使用限制的更多详细信息请参考第 2 章。

表 1-2. 芯片使用限制

模块	使用限制	解决方案		
		修订版本 A	修订版本 B	修订版本 C
PMU	*在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒*	N	N	--
RCU	*当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位*	Y	Y	Y
GPIO	*IO 补偿失效*	N	--	--
ADC	*当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常*	Y	Y	Y

模块	使用限制	解决方案		
		修订版本 A	修订版本 B	修订版本 C
	ADC 对齐模式与用户手册描述不一致	Y	Y	Y
RTC	*同时使用数字平滑校准和 FREQI 校准会导致校准异常*	Y	Y	Y
	RTC 数字平滑校准功能仅在当前窗口内有效	Y	Y	--
TIMER	*预装载值修改后仅在计数器上升沿生效*	N	N	N
	定时器在单脉冲模式下工作时计数错误	Y	Y	Y
USART	*使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒*	Y	Y	Y
I2C	*I2C_FCTL 寄存器仅可在 GD32F470xx 上配置*	N	N	N
SDIO	*不支持低功耗模式*	N	N	--
	在 SDIO 多线模式（4-bit 或 8-bit 数据宽度）下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位	Y	Y	Y
EXMC	*SDRAM 控制器的自动刷新功能受其他 EXMC 控制器影响*	Y	Y	--
ENET	*MII 模式下数据接收异常*	Y	Y	Y
	当启用硬件校验和且报头校验和为 0x0000 时，此接收数据帧将被丢弃	Y	Y	--
Core	*当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成*	Y	Y	Y

注意：

Y = 存在使用限制且存在解决方案

N = 存在使用限制但不存在解决方案

'--' = 使用限制已修复

2. 芯片使用限制描述

2.1. PMU

2.1.1. 在进入待机模式前后，若存在频繁唤醒信号会导致 MCU 不能被唤醒

描述与影响

当通过复位内部信号 STBY_CTL 进入待机模式时，如果存在小于 100ns 的毛刺信号，将会导致 MCU 无法被唤醒，因为窄的毛刺信号会导致内核电压异常。

注意：Tglitch 是 STBY_CTL 低电平与唤醒信号（PA0 高电平）之间的时间。

解决方案

无规避方案。

2.2. RCU

2.2.1. 当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位

描述与影响

当 LXTAL 意外停振时，由于禁能 LXTAL 无法产生六个 LXTAL 时钟，导致 LXTALSTB 位无法被清除，进而导致 LXTAL 无法重新启动。

解决方案

使用以下解决方案之一：

1) 通过重复置位和复位 LXTALBPS 超过十次来清除 LXTALSTB 位，然后重新配置 LXTAL。以下是清除 LXTALSTB 位的参考代码：

```
void lxtal_stb_clear(void)
{
    volatile   uint32_t i = 0U;
    /* close LXTAL clock */
    rcu_osci_off(RCU_LXTAL);
    for(i = 0; i < 10; i++) {
        /* enable the LXTAL bypass mode */
        rcu_osci_bypass_mode_enable(RCU_LXTAL);
        /* disable the LXTAL bypass mode */
        rcu_osci_bypass_mode_disable(RCU_LXTAL);
    }
}
```

2) 依次向地址 0x400028FC 写入 0x000000C3、0x0000003C、0x00000000。以下是清除

LXTALSTB 位的参考代码（此解决方案仅适用于 C 版芯片）：

```
/* clear LXTALSTB bit */
REG32(0x400028FC) = 0x000000C3;
REG32(0x400028FC) = 0x0000003C;
REG32(0x400028FC) = 0x00000000;
```

2.3. GPIO

2.3.1. IO 补偿失效

描述与影响

IO 补偿功能失效。

解决方案

无规避方案。

2.4. ADC

2.4.1. 当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常

描述与影响

当同时使用 6 位采样分辨率和 MSB 对齐模式时，ADC 采样异常。

解决方案

使用 LSB 对齐模式或使用 8 位采样分辨率。

2.4.2. ADC 对齐模式与用户手册描述不一致

描述与影响

ADC 对齐模式与用户手册描述不符。

解决方案

正确的对齐模式描述如下：

表 2-1. 常规转换的对齐模式

<table>
<tr><th>对齐模式</th><th>分辨率</th><th>位 15</th><th>位 14</th><th>位 13</th><th>位 12</th><th>位 11</th><th>位 10</th><th>位 9</th><th>位 8</th><th>位 7</th><th>位 6</th><th>位 5</th><th>位 4</th><th>位 3</th><th>位 2</th><th>位 1</th><th>位 0</th></tr>
<tr><td rowspan="4">LSB</td><td>12bit</td><td colspan="4">0x0</td><td colspan="12">数据</td></tr>
<tr><td>10bit</td><td colspan="4">0x0</td><td colspan="11">数据</td><td>0x0</td></tr>
<tr><td>8bit</td><td colspan="4">0x0</td><td colspan="8">数据</td><td colspan="3">0x0</td></tr>
<tr><td>6bit</td><td colspan="4">0x0</td><td colspan="6">数据</td><td colspan="5">0x0</td></tr>
<tr><td rowspan="4">MSB</td><td>12bit</td><td colspan="11">数据</td><td colspan="5">0x0</td></tr>
<tr><td>10bit</td><td colspan="10">数据</td><td colspan="6">0x0</td></tr>
<tr><td>8bit</td><td colspan="8">数据</td><td colspan="8">0x0</td></tr>
<tr><td>6bit</td><td colspan="16">无效</td></tr>
</table>

2.5. RTC

2.5.1. 同时使用数字平滑校准和 FREQI 校准会导致校准异常

描述与影响

同时使用数字平滑校准和 FREQI 校准会导致校准结果异常。

解决方案

1) 使用 RTC 移位功能替代数字平滑校准，例如设置 A1S 位并配置适当的 SFS 位以满足精度要求。
2) 使用两个 16 秒的校准窗口替代一个 32 秒的校准窗口。

2.5.2. RTC 数字平滑校准功能仅在当前窗口内有效

描述与影响

RTC 数字平滑校准功能仅在当前窗口（一个可配置的时间周期）内有效。

解决方案

在平滑校准窗口时间到达后重新配置平滑校准功能。

2.6. TIMER

2.6.1. 预装载值修改后仅在计数器上升沿生效

描述与影响

预装载值在修改后仅在计数器上升沿生效，这可能对具有高时序要求的 PWM 应用造成问题。

解决方案

无规避方案。

2.6.2. 定时器在单脉冲模式下工作时计数错误

描述与影响

定时器在单脉冲模式下工作且 CK_APBx 为 CK_AHB / 4，CK_TIMER 为 CK_AHB / 2，将会导致计数错误。

解决方案

1) 不要使用上述时钟配置。
2) 使用定时器更新中断清除计数错误。

2.7. USART

2.7.1. 使能静默模式后，只要操作 USART_CTL0 寄存器就会将 USART 从静默模式唤醒

描述与影响

静默模式使能后，对 USART_CTL0 寄存器的操作会使 USART 从静默模式唤醒。

解决方案

当使能静默模式并使用硬件方式检测空闲帧唤醒时，不允许对 USART_CTL0 寄存器进行操作。当使能静默模式并使用软件方式检测空闲帧唤醒时，只在需要退出静默模式时才允许操作 USART_CTL0 寄存器。

2.8. I2C

2.8.1. I2C_FCTL 寄存器仅可在 GD32F470xx 上配置

描述与影响

滤波器控制寄存器（I2C_FCTL）仅可在 GD32F470xx 上配置，而在 GD32F425xx 或 GD32F427xx 上不可配置。

解决方案

无规避方案。

2.9. SDIO

2.9.1. 不支持低功耗模式

描述与影响

当 SDIO_CLKCTL 寄存器中的 CLKPWRSAV 位置位时，SDIO_CLK 在总线空闲状态下无法自动关闭。

解决方案

无规避方案。

2.9.2. 在 SDIO 多线模式（4-bit 或 8-bit 数据宽度）下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位

描述与影响

在 SDIO 多线模式（4-bit 或 8-bit 数据宽度）下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位。

解决方案

使用以下解决方案之一：

1) 当使用轮询模式时，软件应同时检查 STBITE 标志和 DTEND 标志。仅当 STBITE 置位且 DTEND 未置位时，STBITE 标志才被视为有效。参考代码如下：

```
if ((RESET != sdio_flag_get(SDIO_FLAG_STBITE)) && \\
   (RESET == sdio_flag_get(SDIO_FLAG_DTEND))){
    /* user code */
    ....
}
```

2) 当使用中断模式时，中断函数应优先处理 DTEND 标志，再处理 STBITE 标志，并在处理 DTEND 标志的代码中清除中断使能位 STBITEIE。参考代码如下：

```
void SDIO_IRQHandler(void){
    if((RESET != sdio_flag_get(SDIO_FLAG_DTEND)) && \\
      (0U != (SDIO_INTEN & SDIO_INTEN_DTENDIE))){
        sdio_interrupt_disable(SDIO_INT_STBITE);
          /* user code */
          ....
    }
    if((RESET != sdio_flag_get(SDIO_FLAG_STBITE)) && \\
      (0U != (SDIO_INTEN & SDIO_INT_STBITE))){
          /* user code */
          ....
```

```
    }
}
```

3) 多块读不使用 CMD12 停止数据开放式传输的方式，而是使用 CMD23 提前通知从机设备需要传输的数据块数量。那么当 DTEND 置位后，从机不会再有多余的数据发送到数据线上。

2.10. EXMC

2.10.1. SDRAM 控制器的自动刷新功能受其他 EXMC 控制器影响

描述与影响

SDRAM 控制器的自动刷新功能会受到其他 EXMC 控制器的影响。当 SDRAM 控制器执行自动刷新命令时，如果 SDRAM bank 处于激活状态，则会生成预充电命令，需要 EXMC_A10 端口为 1。此时若 EXMC_A10 端口被其他 EXMC 控制器使用，将导致 SDRAM 自动刷新命令执行异常，从而引发 SDRAM 数据错误。

解决方案

步骤 1：在完成 EXMC 初始化后，使能 EXMC SDRAM 控制器与其他控制器同时工作。

```
/* code example */
REG32(EXMC + 0x184U) = 0x9EF02310U;
EXMC_SDRSCTL |= BIT(9);
```

步骤 2：

方法 1：当 SDRAM 控制器选择操作的 BANK 地址时，引脚输出不使用 AF 功能，直接通过 GPIO 驱动 BANK 地址以访问对应的 BANK。

方法 2：在 EXMC 操作 NAND FLASH 之前，添加 SDRAM 的全局预充电指令，使 SDRAM 的自刷新操作无需依赖原有的预充电指令，因此即使自刷新和 NAND 同时发生也不会产生错误。

```
/* code example */
REG32(0xA0000150U)=(uint32_t)0x00000012U;
while(0x00000000!=(REG32(0xA0000158U)&0x00000020)){
}
```

2.11. ENET

2.11.1. MII 模式下数据接收异常

描述与影响

当 ENET_MII_COL / ENET_MII_CRS / ENET_MII_RX_ER 引脚处于浮空状态且外部 PHY 不包含这些引脚时，将导致数据接收故障。

解决方案

将 ENET_MII_COL 引脚和 ENET_MII_RX_ER 引脚配置为 AF 功能并保持低电平。ENET_MII_CRS 引脚的模式和状态可以忽略。

2.11.2. 当启用硬件校验和且报头校验和为 0x0000 时，此接收数据帧将被丢弃

描述与影响

当启用硬件校验和且报头校验和为 0x0000 时，此帧将被误认为错误帧并被硬件丢弃。

解决方案

使用软件校验和替代硬件校验和。

2.12. Core

2.12.1. 当使用非常短的 ISR 时，VDIV 或 VSQRT 指令可能无法正确完成

该限制参考了“Cortex-M4 & Cortex-M4 with FPU Software Developers Errata Notice”中的 Arm ID 编号 776924。

描述与影响

VDIV 和 VSQRT 指令执行需要 14 个周期。当发生中断时，VDIV 或 VSQRT 指令不会终止，而是在中断堆栈操作期间完成执行。如果启用了浮点状态的惰性上下文保存，浮点上下文的自动堆栈不会发生，直到在中断服务程序中执行了浮点指令。

惰性上下文保存默认启用。当启用时，中断服务程序中第一条指令开始执行的最短时间为 12 个周期。在某些时间条件下，如果中断服务程序中仅有一或两条指令，VDIV 或 VSQRT 指令可能无法将其结果写入寄存器组或 FPSCR。

故障发生条件如下：

1) 浮点单元已启用。
2) 惰性上下文保存未禁能。
3) 执行了 VDIV 或 VSQRT 指令。
4) VDIV 或 VSQRT 的目标寄存器为 s0 - s15 之一。
5) 中断发生并被响应。
6) 正在执行的中断服务程序未包含浮点指令。
7) 在执行 VDIV 或 VSQRT 后 14 个周期内，执行中断返回。

这 14 个周期中最少有 12 个周期用于上下文状态入栈，剩余 2 个周期供中断服务程序中的指令使用，或在整个入栈序列中应用 2 个等待状态（这意味着每次访问的等待状态并非固定）。

通常，这意味着如果存储系统在堆栈事务中插入等待状态，则此问题无法被观察到。

此限制的影响是 VDIV 或 VSQRT 指令未正确完成，寄存器组和 FPSCR 未更新，将导致这些

寄存器保存错误的过时数据。

解决方案

仅当浮点单元使能时才需要解决方案。如果堆栈位于外部存储器，则无需解决方案。

有两种可能的解决方案：

1) 通过将 FPCCR 地址 0xE000EF34 的第 30 位 LSPEN 清零（设置为 0）来禁能浮点状态的惰性上下文保存。
2) 确保每个中断服务程序除异常返回指令外包含多于 2 条指令。

3. 版本历史

表 **3-1.** 版本历史

版本号.	说明	日期
1.0	首次发布	2023 年 3 月 16 日
1.1	更新 2.8.1 章节描述	2023 年 4 月 3 日
1.2	更新 1.2 小节注意事项	2023 年 4 月 6 日
1.3	1. 添加 PMU 使用限制，参考 2.1.1 小节 2. 添加内核使用限制，参考 2.11.1 小节	2023 年 12 月 2 日
1.4	更新 EXMC 限制解决方案，参考 ***SDRAM 控制器的自动刷新功能受其他 EXMC 控制器影响***	2024 年 7 月 18 日
1.5	1. 添加 C 版芯片使用限制 2. 添加 RCU 使用限制，参考***当 LXTAL 意外停振时，禁能 LXTAL 无法清除 LXTALSTB 位*** 3. 添加 RTC 使用限制，参考 ***RTC 数字平滑校准功能仅在当前窗口内有效*** 4. 添加 SDIO 使用限制，参考***在 SDIO 多线模式（4-bit 或 8-bit 数据宽度）下，完成数据接收后，如果未及时清空 FIFO 且后续仍有数据到达，将导致 STBITE 错误一直置位***	2025 年 2 月 5 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the “Product”), is owned by the Company according to the laws of the People’s Republic of China and other applicable laws. The Company reserves all rights under such laws and no Intellectual Property Rights are transferred (either wholly or partially) or licensed by the Company (either expressly or impliedly) herein. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

To the maximum extent permitted by applicable law, the Company makes no representations or warranties of any kind, express or implied, with regard to the merchantability and the fitness for a particular purpose of the Product, nor does the Company assume any liability arising out of the application or use of any Product. Any information provided in this document is provided only for reference purposes. It is the sole responsibility of the user of this document to determine whether the Product is suitable and fit for its applications and products planned, and properly design, program, and test the functionality and safety of its applications and products planned using the Product. The Product is designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only, and the Product is not designed or intended for use in (i) safety critical applications such as weapons systems, nuclear facilities, atomic energy controller, combustion controller, aeronautic or aerospace applications, traffic signal instruments, pollution control or hazardous substance management; (ii) life-support systems, other medical equipment or systems (including life support equipment and surgical implants); (iii) automotive applications or environments, including but not limited to applications for active and passive safety of automobiles (regardless of front market or aftermarket), for example, EPS, braking, ADAS (camera/fusion), EMS, TCU, BMS, BSG, TPMS, Airbag, Suspension, DMS, ICMS, Domain, ESC, DCDC, e-clutch, advanced-lighting, etc.. Automobile herein means a vehicle propelled by a self-contained motor, engine or the like, such as, without limitation, cars, trucks, motorcycles, electric cars, and other transportation devices; and/or (iv) other uses where the failure of the device or the Product can reasonably be expected to result in personal injury, death, or severe property or environmental damage (collectively "Unintended Uses"). Customers shall take any and all actions to ensure the Product meets the applicable laws and regulations. The Company is not liable for, in whole or in part, and customers shall hereby release the Company as well as its suppliers and/or distributors from, any claim, damage, or other liability arising from or related to all Unintended Uses of the Product. Customers shall indemnify and hold the Company, and its officers, employees, subsidiaries, affiliates as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Product.

Information in this document is provided solely in connection with the Product. The Company reserves the right to make changes, corrections, modifications or improvements to this document and the Product described herein at any time without notice. The Company shall have no responsibility whatsoever for conflicts or incompatibilities arising from future changes to them. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2025 GigaDevice Semiconductor Inc. – All rights reserved